



Apport des lignes à ondes lentes S-CPW aux performances d'un front-end millimétrique en technologie CMOS avancée

Xiaolan Tang

► To cite this version:

Xiaolan Tang. Apport des lignes à ondes lentes S-CPW aux performances d'un front-end millimétrique en technologie CMOS avancée. Autre. Université de Grenoble, 2012. Français. NNT : 2012GRENT084 . tel-00863965

HAL Id: tel-00863965

<https://theses.hal.science/tel-00863965>

Submitted on 20 Sep 2013

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Optique et Radiofréquence**

Arrêté ministériel : 7 août 2006

Présentée par

« **Xiaolan TANG** »

Thèse dirigée par « **Jean-Michel FOURNIER** » et
codirigée par « **Emmanuel PISTONO** »

préparée au sein du **Laboratoire IMEP-LAHC**
dans l'**École Doctorale Électronique, Électrotechnique,**
Automatique et Traitement du signal...

Apport des lignes à ondes lentes S-CPW aux performances d'un front-end millimétrique en technologie CMOS avancée

Thèse soutenue publiquement le « **8 Octobre 2012** »,
devant le jury composé de :

M. Thierry PARRA

Professeur des universités, Toulouse, Président

M. Christophe GAQUIERE

Professeur des universités, Lille, Rapporteur

M. Eric KERHERVE

Professeur des universités, Bordeaux, Rapporteur

M. Philippe FERRARI

Professeur des universités, Grenoble, Examineur

M. Jean-Michel FOURNIER

Professeur des universités, Grenoble, Directeur de thèse

M. Emmanuel PISTONO

Maître de conférences, Grenoble, Co-directeur de thèse



Table des matières

Introduction générale.....	3 -
Chapitre I: Interfaces millimétriques en technologies CMOS avancées.....	3 -
I.1 Applications millimétriques à 60 GHz	3 -
I.2 Impact de l'évolution des technologies CMOS pour les applications millimétriques.....	4 -
I.2.1 Evolution des niveaux d'interconnexions	4 -
I.2.2 Composant actif : Transistor MOS submicronique	6 -
I.2.2.1 Fréquence de transition f_t et fréquence d'oscillation maximum f_{max}	7 -
I.2.2.2 Facteur de bruit minimum NF_{min}	10 -
I.2.2.3 Gain maximum disponible MAG	11 -
I.2.2.4 Réduction des tensions d'alimentation	12 -
I.2.3 Composants passifs : approches localisées et distribuées.....	13 -
I.2.3.1 Lignes de propagation classiques versus éléments localisés	13 -
<i>I.2.3.1.1 Structures des lignes de propagation classiques.....</i>	<i>14 -</i>
<i>I.2.3.1.2 Paramètres caractéristiques des lignes de propagation</i>	<i>15 -</i>
I.2.3.2 Capacités MOM.....	18 -
I.3 État de l'art des front-end millimétriques	19 -
I.3.1 Amplificateurs de puissance PA	19 -
I.3.2 Amplificateurs à faible bruit LNA	22 -
I.3.2.1 Structures de LNA aux fréquences millimétriques.....	22 -
I.3.2.2 Impact de l'évolution des technologies	24 -
I.3.3 Switch d'antenne SPDT	25 -
I.3.3.1 Topologies à éléments localisés.....	27 -
I.3.3.2 Topologie distribuée	28 -
I.3.3.3 Comparaison des topologies	29 -
I.4 Conclusion et Enjeux	30 -
Chapitre II: Lignes de propagation à ondes lentes S-CPW	31 -
II.1 Présentation des lignes à ondes lentes S-CPW	31 -
II.1.1 Principe	31 -

II.1.2 État de l'art.....	- 33 -
II.2 Extraction des paramètres caractéristiques.....	- 35 -
II.2.1 Outils de simulation	- 35 -
II.2.1.1 Simulation électromagnétique Ansoft HFSS.....	- 35 -
II.2.1.2 Simulation quasi-statique Flux 3D	- 35 -
II.2.2 Méthode d'extraction.....	- 36 -
II.3 Modèle électrique de lignes S-CPW	- 37 -
II.3.1 Description du modèle RLRC	- 37 -
II.3.2 Validation du modèle équivalent	- 39 -
II.4 Comparaison de lignes S-CPW et CPW sur substrat SOI : mise en évidence des pertes	- 41 -
II.4.1 Lignes sur substrat à haute résistivité : S-CPW versus CPW.....	- 41 -
II.4.2 Répartition des pertes dans une ligne S-CPW	- 42 -
II.5 Règles d'optimisation des lignes S-CPW intégrées sur silicium.....	- 46 -
II.5.1 Dimensions géométriques de la ligne principale CPW	- 46 -
II.5.1.1 Paramètres conventionnels.....	- 46 -
II.5.1.1.1 Largeur du ruban central W_s et espacement G	- 46 -
II.5.1.1.2 Largeur des plans de masse W_g	- 47 -
II.5.1.1.3 Epaisseur des métaux t_{cpw}	- 48 -
II.5.1.2 Effet des murs de blindage : D et M	- 49 -
II.5.2 Optimisation de la géométrie des barreaux de blindage flottants	- 50 -
II.5.2.1 Epaisseur de diélectrique h	- 51 -
II.5.2.2 Largeur SL et espacement SS des barreaux : taux de remplissage τ	- 52 -
II.5.2.3 Epaisseur des barreaux t_b	- 54 -
II.5.2.4 Justification des dimensions des barreaux des lignes utilisées dans les circuits réalisés..	- 55 -
II.6 Mise en évidence de l'intérêt de lignes S-CPW dans la bande millimétrique.....	- 56 -
II.6.1 Comparaison des performances des lignes : S-CPW versus TFMS	- 56 -
II.6.2 Circuit démonstrateur : amplificateur de puissance à un étage travaillant à 60 GHz 	- 57 -
II.7 Conclusion du chapitre II	- 60 -
Chapitre III: Amplificateurs de puissance millimétriques à lignes S-CPW en technologie CMOS 65 nm	- 63 -

III.1 État de l'art des PAs utilisant des lignes à ondes lentes.....	- 63 -
III.2 Modélisation électrique des passifs utilisés dans les PAs	- 67 -
III.2.1 Capacité Métal-Oxyde-Métal (MOM)	- 67 -
III.2.2 Plots d'accès RF	- 68 -
III.3 Réalisation d'un PA intégrant des lignes S-CPW à 60 GHz en technologie CMOS 65 nm	- 71 -
III.3.1 Méthode de conception utilisée.....	- 71 -
III.3.1.1 Topologie et classe de fonctionnement	- 71 -
III.3.1.2 Détermination du nombre d'étages	- 72 -
III.3.1.3 Choix des dimensions des transistors : W et W_f	- 73 -
III.3.1.4 Réseaux d'adaptation d'impédance.....	- 76 -
<i>III.3.1.4.1 Stabilité de l'amplificateur</i>	<i>- 77 -</i>
<i>III.3.1.4.2 Choix de l'impédance caractéristique des lignes de propagation</i>	<i>- 78 -</i>
III.3.1.5 Simulation et dessin de l'amplificateur	- 79 -
III.3.1.6 Organigramme résumant les différentes étapes de conception de l'amplificateur..	- 81 -
III.3.2 Performances des amplificateurs	- 82 -
III.3.2.1 Comparaison des performances simulées avec un PA intégrant des lignes TFMS.-	- 82 -
III.3.2.2 Performances mesurées de l'amplificateur réalisé avec des lignes S-CPW	- 83 -
III.4 Réalisation d'un PA pseudo différentiel à 60 GHz en 65 nm	- 86 -
III.4.1 Technique de neutralisation	- 87 -
III.4.2 Performances de l'amplificateur différentiel à lignes S-CPW.....	- 88 -
III.4.2.1 Comparaisons avec un amplificateur différentiel à lignes TFMS.....	- 88 -
III.4.2.2 Performances mesurées de l'amplificateur différentiel à lignes S-CPW	- 90 -
III.5 Comparaison des performances avec l'état de l'art	- 92 -
III.6 Conclusion du chapitre III.....	- 94 -
 Chapitre IV: Etude d'un LNA et d'un SPDT à base de lignes S-CPW.....	- 95 -
IV.1 Amplificateurs à faible bruit LNA à lignes S-CPW	- 95 -
IV.1.1 État de l'art des amplificateurs faible bruit à lignes à ondes lentes	- 95 -
IV.1.2 Conception d'un LNA à lignes S-CPW en technologie CMOS 65 nm	- 96 -
IV.1.2.1 Sources de bruit dans un transistor MOS.....	- 96 -
IV.1.2.2 Topologie cascode : contribution du transistor en grille commune au bruit total...	- 97 -
IV.1.2.3 Choix des dimensions des transistors	- 98 -

IV.1.2.3.1 Détermination de largeur du doigt W_f	- 98 -
IV.1.2.3.2 Détermination des largeurs W des transistors.....	- 99 -
IV.1.2.4 Résultats de simulations d'un LNA à trois étages cascode.....	- 103 -
IV.2 Switch d'antenne SPDT à lignes S-CPW	- 106 -
IV.2.1 Description des transistors MOS standard Bulk	- 106 -
IV.2.2 Techniques d'optimisation proposées dans la littérature.....	- 107 -
IV.2.2.1 Minimisation des pertes dans le substrat	- 107 -
IV.2.2.2 Compensation des capacités parasites	- 107 -
IV.2.2.3 Compensation par des déphaseurs	- 108 -
IV.2.2.4 Utilisation de réseaux de transformation d'impédance.....	- 108 -
IV.2.2.5 La technique du substrat flottant.....	- 109 -
IV.2.3 Réalisation d'un switch d'antenne SPDT utilisant des lignes S-CPW pour des applications millimétriques	- 111 -
IV.2.3.1 Choix du nombre d'étages et de la largeur W des MOS	- 111 -
IV.2.3.2 Résultats expérimentaux	- 115 -
IV.3 Conclusion	- 118 -
 Conclusion et perspectives.....	- 3 -
Bibliographies.....	- 3 -
Annexe 1.....	- 3 -
Annexe 2.....	- 3 -
Annexe 3.....	- 3 -
Annexe 4.....	- 3 -

Introduction générale

Face aux nombreuses applications (communication sans fil à très haut débit, radar automobile, imagerie THz...) utilisant la bande des fréquences millimétriques allant de 30 GHz à 300 GHz, la communauté scientifique ne cesse de proposer des approches innovantes afin de répondre à ces besoins. Ces applications profitent de l'évolution des technologies CMOS permettant de réaliser des fonctions millimétriques intégrées regroupant plusieurs avantages : un faible coût de fabrication, une forte densité d'intégration ainsi qu'une faible consommation. En effet, l'évolution des nœuds technologiques CMOS vers l'échelle nanométrique s'accompagne d'une augmentation des fréquences de transition et d'oscillation maximale. Cette augmentation permet de maintenir un facteur de bruit et un gain potentiel en puissance compatibles avec les applications envisagées, ceci malgré une dégradation du gain intrinsèque. Cependant, la réduction des tensions d'alimentation (~ 1 V) et la diminution des dimensions des interconnexions métalliques (qui s'accompagne de règles d'électro-migration de plus en plus sévères), constituent un véritable défi en particulier pour réaliser des amplificateurs de puissance performants.

Qu'ils soient localisés ou distribués, les composants passifs intégrés présentent des pertes d'autant plus importantes que la fréquence est élevée. Pour les réseaux d'adaptation d'impédance, les lignes de propagation ont tendance à se substituer aux réseaux localisés (inductances et capacités). Ceci est dû au fait que les longueurs d'ondes guidées dans ces lignes deviennent compatibles avec les dimensions du circuit intégré sur silicium. Par ailleurs, dans le cas de réseaux localisés, les valeurs nécessaires des composants utilisés (en particulier les inductances) deviennent de plus en plus faibles. Ceci entraîne une perturbation de plus en plus importante du composant par des éléments parasites représentant les interconnexions le reliant aux autres éléments des circuits : une modélisation électromagnétique précise et spécifique à l'environnement du composant est alors requise. De plus, l'avantage présenté par les inductances localisées en terme de surface tend à s'amenuiser par rapport aux lignes de propagation à fort facteur de qualité. En particulier, les lignes à ondes lentes S-CPW, grâce à l'amélioration de leur permittivité relative effective, présentent à la fois des facteurs de miniaturisation importants et un fort facteur de qualité pouvant atteindre la valeur de 40 à 60 GHz (deux à trois fois supérieur à celui des lignes classiques de type microruban ou CPW).

L'objectif de ces travaux de thèse a donc été d'expertiser l'apport des lignes à ondes lentes S-CPW aux performances des blocs constitutifs d'un front-end millimétrique (amplificateur de puissance, amplificateur faible bruit et commutateur d'antenne), optimisés dans la technologie CMOS 65 nm de STMicroelectronics.

Dans le premier chapitre, l'impact de l'évolution des nœuds technologiques CMOS sur les performances aux fréquences millimétriques des transistors MOS et sur les lignes de propagation est présenté. Cette étude permet de cerner les diverses contraintes technologiques et les enjeux majeurs concernant la conception des fonctions millimétriques. Un état de l'art concernant les performances de chaque fonction constituant un front-end est présenté.

L'étude des lignes de propagation à ondes lentes fait l'objet du premier axe de ces travaux de recherche. Le deuxième chapitre concerne donc la réalisation des lignes S-CPW dans des technologies CMOS avancées (45 nm Bulk, 65 nm Bulk et SOI). La caractérisation jusqu'à 110 GHz de ces lignes est validée par un modèle électrique équivalent. A partir de ce modèle, les règles d'optimisation de ces guides d'onde sont établies. A titre de comparaison, les performances des lignes S-CPW de différentes impédances caractéristiques sont comparées à celles des lignes microruban et CPW réalisées dans les mêmes technologies CMOS.

Le troisième chapitre est dédié à la conception d'amplificateurs de puissance à 60 GHz utilisant ces lignes S-CPW en technologies CMOS 45 nm et 65 nm. Les résultats obtenus après caractérisation mettent en évidence l'apport des lignes à ondes lentes aux performances de ces amplificateurs en termes de gain en puissance et de point de compression en sortie. Une méthode de conception basée sur les règles d'électro-migration et permettant une optimisation des performances est également proposée.

Dans le dernier chapitre, afin de généraliser l'impact de ce type de lignes sur les performances des front-end millimétriques, nous présentons les performances simulées d'un amplificateur faible bruit et les performances mesurées d'un commutateur d'antenne travaillant à 60 GHz et utilisant des lignes S-CPW en technologie CMOS 65 nm.

A la lumière des résultats obtenus, une conclusion résume les apports des lignes de propagation S-CPW sur les performances des front-end aux fréquences millimétriques et les méthodologies de conception qui y sont attachées. Des perspectives sont abordées en ce qui concerne la continuation de ces travaux mettant en œuvre d'autres fonctions à base des lignes S-CPW.

Chapitre I: Interfaces millimétriques en technologies CMOS avancées

L'évolution des nœuds technologiques silicium vers l'échelle submicronique permet, selon la loi de Moore, un doublement tous les 18 mois de la densité d'intégration. Ces technologies permettent actuellement de répondre aux besoins de nouvelles applications dans le domaine des fréquences millimétriques.

Les nouvelles bandes de fréquences mises en jeu dans ce domaine sont nombreuses. La bande V (50-75 GHz) est largement utilisée dans le domaine des communications sans fil à haut débit et à courte portée (< 10 m) [Fisher, 07]. Les bandes E (71-76 GHz et 81-86 GHz) sont dédiées à l'application de connexion type point-à-point à large bande [Kuo, 08-3]. Les systèmes radars anticollision pour automobiles sont implémentés à 77 GHz [Vishniplosky, 10]. Enfin, la bande W (92-120 GHz) est particulièrement destinée aux applications de l'imagerie micro-onde dans le domaine médical et militaire [Deferm, 11].

Dans ce chapitre, nous présentons en premier lieu l'état de l'art des applications autour de 60 GHz. Puis, nous nous intéressons à l'impact de l'évolution des technologies CMOS vers l'échelle submicronique sur le transistor MOS et sur les lignes de propagation classiques. Une bibliographie détaillée des fonctions principales constituant les architectures des front-end à 60 GHz est présentée dans la troisième partie, conduisant aux problématiques et aux enjeux de conception de ces fonctions millimétriques en technologies CMOS avancées.

I.1 Applications millimétriques à 60 GHz

A l'échelle internationale, de larges bandes de fréquence autour de 60 GHz ont été attribuées sans licence [Daniels, 10]. A titre d'exemple, en 2001, l'autorité de régulation américaine FCC (*Federal Communications Commission*) a alloué une bande passante de 7 GHz entre 57 et 64 GHz pour les Etats-Unis. Le Japon dispose également d'une bande de 7 GHz mais entre 59 et 66 GHz. En Europe, les applications sans fil visent une bande de 9 GHz entre 57 et 66 GHz. Grâce à ces larges bandes passantes de plusieurs gigahertz, le standard 60 GHz devient un candidat adéquat pour les applications sans fil à très haut débit, telles que WLAN (*Wireless Local Area Network*) et WPAN (*Wireless Personal Area Network*), nécessitant des débits supérieurs au Gbps (Gigabits par seconde). La propagation des ondes électromagnétiques (EM) en espace libre aux fréquences millimétriques n'est envisageable que pour des courtes distances à cause notamment des fortes pertes qui évoluent avec le carré de la distance parcourue par ces ondes EM. Enfin, la fréquence de 60 GHz est d'autant plus pertinente pour des applications à courte portée (typiquement pour les applications intra-bâtiment

d'une distance inférieure à 10 mètres) en raison de l'atténuation additionnelle due à la forte absorption de l'oxygène dans l'atmosphère à cette fréquence [Giannetti, 99] (environ 15 dB/km à 60 GHz, voir Figure I-1).

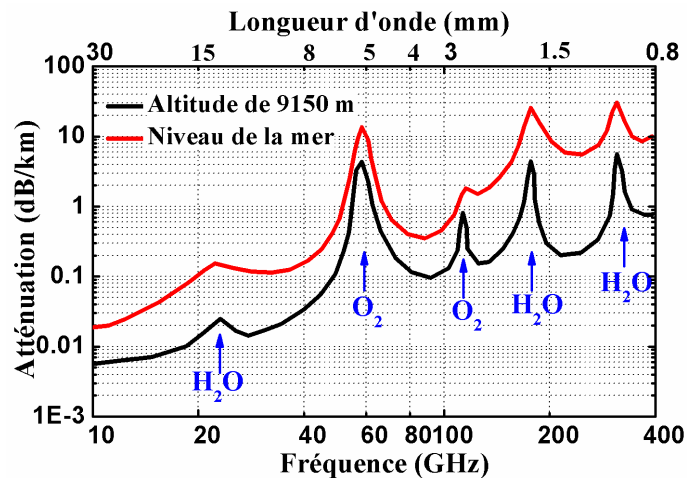


Figure I-1 : Charte de l'absorption atmosphérique pour les bandes de fréquences millimétriques [ITU, 90].

Dans ce contexte, depuis plus d'une décennie, de nombreux travaux portant sur les systèmes de communication sans fil autour de 60 GHz ont été menés. En 1996, une chaîne d'émission (TX) et de réception (RX) en technologie MMIC (*Monolithic Microwave Integrated Circuit*) est réalisée pour les applications WLAN dans [Ninomiya, 96]. Un autre module RX/TX radio implémenté sur substrat GaAs dans [Ohata, 02] présente un débit de données de 1,25 Gbps, conforme au standard Gigabit Ethernet. A partir de 2006, les premiers résultats sur Silicium (SiGe ou CMOS) apparaissent. [Razavi, 06] réalise en technologie CMOS 130 nm un front-end de réception compact consommant seulement 9 mW. A la fin de la même année, en technologie SiGe BiCMOS 130 nm, un module RX/TX à configuration superhétérodyne, permettant la liaison sans fil à un débit de 630 Mbps sur une distance de 10 m, est proposé dans [Reynolds, 06]. Dès lors, les interfaces radios à 60 GHz intégrées en technologies CMOS avancées et à faible consommation ne cessent d'être développées. Dans [Tomkins, 09], un transmetteur débitant plus de 6 Gbps sur une bande entre 55 et 65 GHz est réalisé. Ce transmetteur occupe une surface d'environ 1 mm² et présente un faible facteur de bruit de 5,6 dB avec une consommation relativement faible de 232 mW. [Siligaris, 11] a réalisé un module RX/TX permettant la connexion sans fil à un débit de 3,8 Gbps sur une distance de 1 m dans une technologie CMOS 65 nm. Récemment, un fort débit de 8 Gbps est atteint en technologie CMOS 65 nm dans [Okada, 11].

I.2 Impact de l'évolution des technologies CMOS pour les applications millimétriques

I.2.1 Evolution des niveaux d'interconnexions

Pour réaliser une forte densité d'intégration, la réduction de la taille des dispositifs actifs (transistors MOS) et la diminution des dimensions (largeur et épaisseur) des interconnexions métalliques du BEOL (*Back End Of Line*) sont indispensables. La **Figure I-2** présente (a) l'évolution du BEOL des technologies CMOS avancées et (b) une image MEB (Microscopie Electronique à Balayage) de l'empilement des interconnexions métalliques dans une technologie CMOS 65 nm de STMicroelectronics.

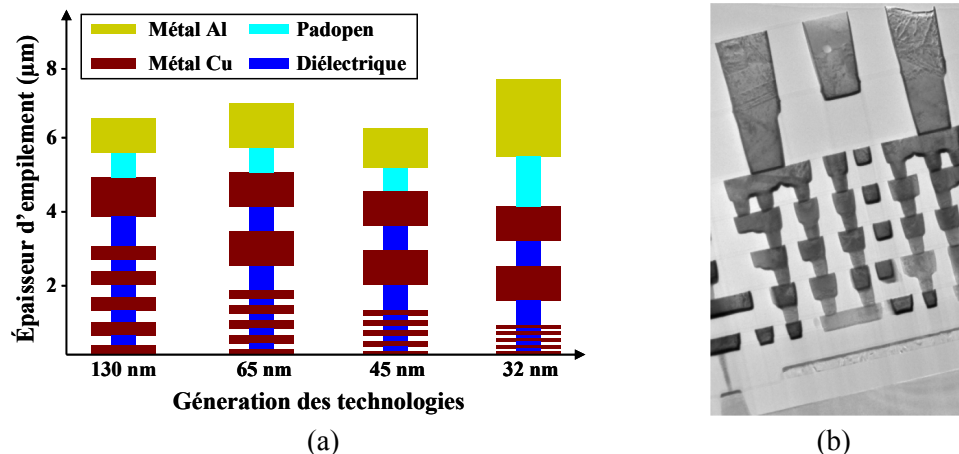


Figure I-2 : (a) Comparaison des empilements de BEOL pour différents nœuds technologiques du fondeur STMicroelectronics, (b) Image MEB du BEOL en technologie CMOS 65 nm de STMicroelectronics [Seller, 08].

En ce qui concerne le BEOL, nous trouvons toujours deux ou trois couches métalliques épaisses sur les niveaux supérieurs avec des épaisseurs qui ont tendance à augmenter pour réduire les pertes résistives dans les interconnexions. Par contre, les dimensions des niveaux de métallisation inférieurs (du niveau M_1 à niveau M_5) se réduisent en termes d'épaisseur et de largeur. Cette diminution de l'épaisseur des métaux entraîne également une réduction de l'épaisseur des couches diélectriques. Ceci a pour conséquence de rapprocher les niveaux de métal épais du substrat à pertes, et donc de diminuer le facteur de qualité des composants passifs réalisés à l'aide des couches de métal épais.

Des contraintes technologiques de plus en plus sévères sont également à prendre en considération. Notamment, des règles de densité des niveaux de métallisation du BEOL doivent être respectées pour assurer une planéité sur toute la tranche du wafer lors des opérations de polissage mécanique CMP (*Chemical Mechanical Planarization*). Par ailleurs, les largeurs maximales des métallisations sont de plus en plus faibles. De même, les règles d'électro-migration à une température donnée sont de plus en plus sévères dans le cadre de la réduction de la largeur des niveaux métalliques [Quemerais, 10-3]. Le phénomène d'électro-migration, se traduisant par une déformation dans le temps d'un conducteur métallique lorsqu'une forte densité de courant traverse ce-dernier. Ce phénomène est autant plus marqué que la température est élevée. Par conséquent, avec l'avancée des technologies, l'impact de ce phénomène doit être pris en compte dès le début du design des transistors.

Nous reviendrons par la suite sur la mise en pratique de cette contrainte au niveau du dessin des transistors dans le cadre des amplificateurs de puissance.

Les filières technologiques CMOS 45 nm et 65 nm de STMicroelectronics ont été utilisées dans le cadre de cette thèse. Les niveaux d'interconnexion de ces technologies sont similaires : tous deux composés de huit niveaux, dont deux niveaux épais en cuivre (M_6 et M_7), une couche du métal épais en aluminium et cinq niveaux de métallisation fins en cuivre (M_1 à M_5).

I.2.2 Composant actif : Transistor MOS submicronique

La modélisation à haute fréquence des transistors MOS submicroniques devient de plus en plus complexe car les éléments parasites à prendre en compte sont de plus en plus nombreux. Nous avons utilisé le modèle BSIM dont le schéma électrique est présenté à la **Figure I-3** [Doan, 05].

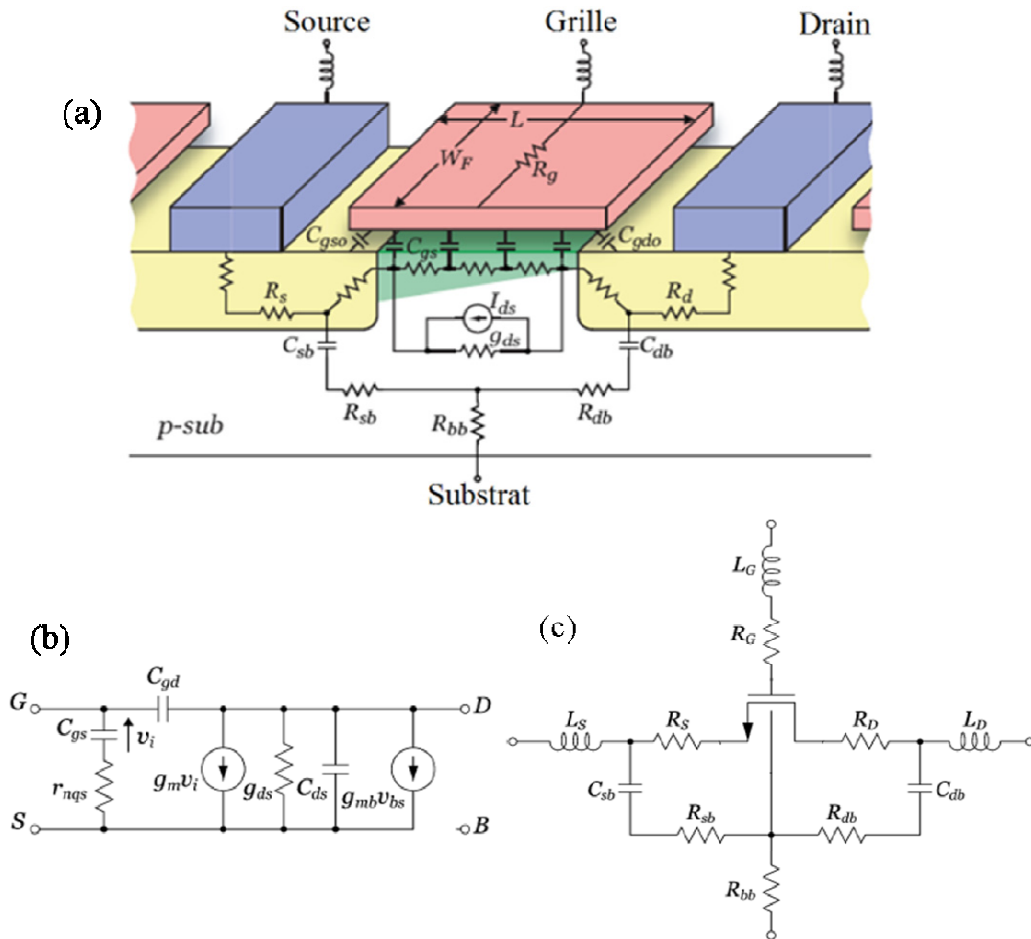


Figure I-3 : Modèle petit signal d'un transistor NMOS RF par [Doan, 05]. (a) Schéma équivalent complet, (b) modèle intrinsèque du transistor, (c) modèle prenant en compte les éléments parasites.

Ce modèle RF en petit signal comprend la partie intrinsèque et extrinsèque du transistor. Le modèle intrinsèque de la **Figure I-3 (b)** prend en compte le comportement non quasi-statique du canal représenté par la résistance r_{nqs} en série avec la capacité C_{gs} . Les capacités parasites liées aux

interconnexions métalliques des trois accès sont déjà incluses dans les capacités C_{gs} , C_{gd} et C_{ds} . Le schéma électrique de la **Figure I-3 (c)** est complété par d'autres éléments parasites tels que les résistances d'accès (R_G , R_S et R_D), les inductances parasites d'accès (L_G , L_S et L_D), les capacités de jonction (C_{db} et C_{sb}) ainsi que le réseau des résistances modélisant l'accès du substrat (R_{sb} , R_{db} et R_{bb}). Basé sur le principe de ce modèle petit signal, nous allons montrer l'impact de l'évolution des technologies sur les paramètres caractéristiques (f_t , f_{max} , NF_{min} et MAG) des transistors MOS dans les sections suivantes.

I.2.2.1 Fréquence de transition f_t et fréquence d'oscillation maximum f_{max}

La fréquence de transition f_t et la fréquence d'oscillation maximum f_{max} sont deux paramètres permettant de caractériser les performances hautes fréquences des transistors MOS. La performance intrinsèque d'un MOS est caractérisée par la fréquence de transition f_t , correspondant à la fréquence de coupure pour laquelle le gain linéaire en courant h_{21} devient unitaire. Ce gain en courant s'exprimant en fonction des paramètres S est présenté à l'équation (I-1) [Gonzalez, 97]. Les différentes notions du gain souvent utilisées pour un quadripôle actif sont répertoriées en **Annexe 1**.

$$|h_{21}| = \left| \frac{-2S_{21}}{(1-S_{11})(1+S_{22}) + S_{12}S_{21}} \right| \quad (\text{I-1})$$

La fréquence d'oscillation maximum f_{max} prenant en compte les éléments parasites extrinsèques représente la fréquence pour laquelle le gain unilatéral de Mason U [Mason, 54] devient unitaire. Ce gain unilatéral traduit le gain en puissance lorsque l'entrée et la sortie d'un quadripôle sont adaptées et qu'aucune puissance n'est transmise en retour de la sortie vers l'entrée ($S_{12} = 0$). Les expressions de ces fréquences couramment rencontrées dans la littérature [Boots, 04] [Woerlee, 01] sont définies par les équations (I-2) et (I-3), avec g_m la transconductance du transistor, g_{ds} la conductance dynamique de sortie et C_{gg} la capacité totale vue à la grille du transistor (i.e. somme de C_{gs} et C_{gd}).

$$f_t = \frac{g_m}{2\pi\sqrt{(C_{gg}^2 - C_{gd}^2)}} \quad (\text{I-2})$$

$$f_{max} = \frac{f_t}{2\sqrt{(R_G + r_{nqs} + R_S)(g_{ds} + 2\pi f_t C_{gd})}} \quad (\text{I-3})$$

Les formulations complètes de ces fréquences caractéristiques et leur simplification usuelle sont présentées en **Annexe 2**. Néanmoins, ces fréquences de coupure sont obtenues en pratique à partir de l'extrapolation du gain correspondant mesuré (h_{21} ou U) comme le montre la **Figure I-4**. Dans cet exemple, nous avons caractérisé un transistor NMOS de longueur de grille $L_g = 40$ nm et de largeur $W = 60$ μm de la technologie CMOS 45 nm de STMicroelectronics. Nous dénommons par la suite ce transistor NMOS1. L'extrapolation des mesures de la **Figure I-4** donne des fréquences mesurées f_t/f_{max}

de 220/210 GHz pour une densité de courant de 0,35 mA/μm. En technologie CMOS 65 nm de STMicroelectronics, un transistor présentant une longueur de grille $L_g = 60$ nm et une largeur $W = 72$ μm permet d'obtenir cette même densité de courant. Ce transistor, appelé NMOS2, présente des fréquences simulées f_t/f_{max} de 150/205 GHz. Cela démontre les potentialités de ces technologies avancées pour concevoir des circuits fonctionnant dans le domaine des fréquences millimétriques.

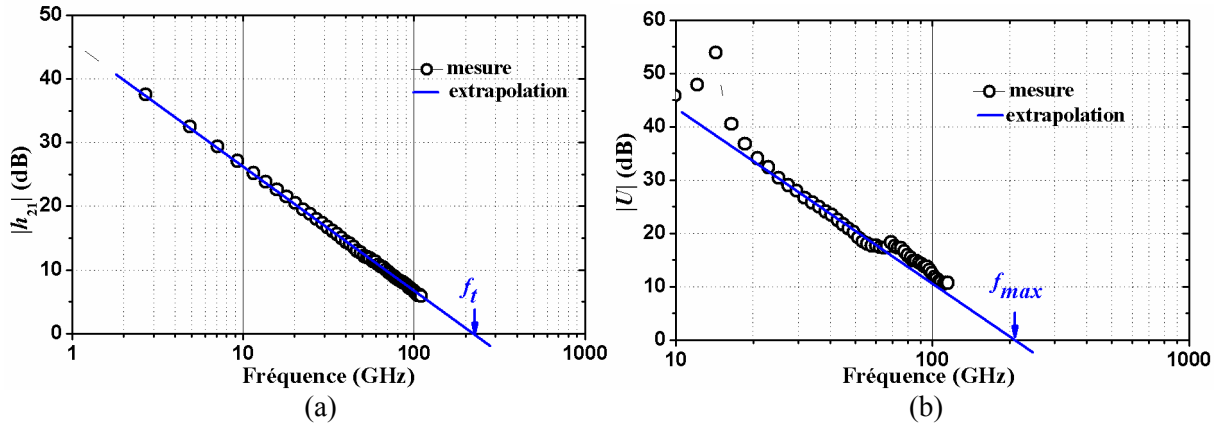


Figure I-4 : Extraction des fréquences (a) f_t et (b) f_{max} d'un transistor MOS (NMOS1) en technologie CMOS 45 nm.

La Figure I-5 met en évidence l'évolution des ces fréquences caractéristiques en fonction de différents nœuds technologiques. L'état de l'art référencé de plusieurs technologies issues de différentes fonderies est comparé avec la courbe d'évolution de l'ITRS (*International Technology Roadmap for Semiconductors*).

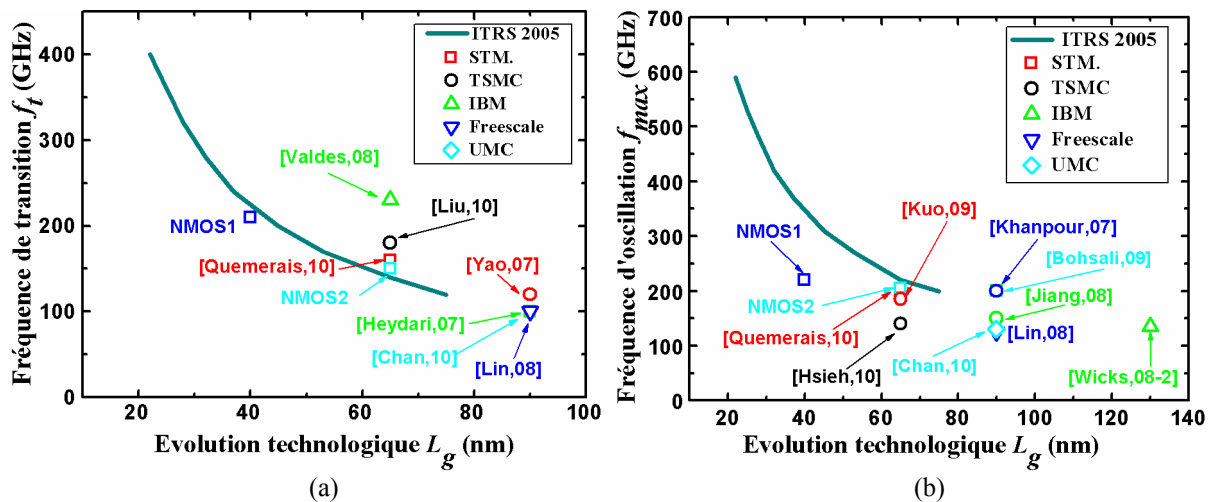


Figure I-5 : Évolution en fonction des nœuds technologiques de (a) f_t , (b) f_{max} pour une densité de courant de l'ordre de 0,3 à 0,4 mA/μm. NMOS1 et NMOS2 correspondent à deux transistors utilisés dans ce manuscrit et présentant une densité de courant de 0,35 mA/μm, respectivement en technologie CMOS 45 nm et en 65 nm STMicroelectronics.

Contrairement aux fréquences f_t qui donnent des valeurs proches de celles de l'ITRS, les fréquences d'oscillation f_{max} diffèrent d'un fondeur à l'autre. Cela est lié aux composants parasites

fortement dépendant du dessin des transistors (*layout*) et du BEOL qui peut différer entre chaque fondeur. Par ailleurs, l'évolution des fréquences f_t et f_{max} suivant la longueur L_g des transistors est aussi mise en évidence. Dans la suite de cette section, la mise en relation de ces fréquences en fonction de L_g sera développée.

La **Figure I-6** met l'accent sur l'impact de l'évolution des nœuds technologiques sur les fréquences f_t et f_{max} pour différentes densités du courant I_{ds}/W . Les **Figure I-6 (a)** et **(c)** sont respectivement issues des références [Woerlee, 01] et [Dickson, 06] et les **Figure I-6 (b)** et **(d)** sont les résultats que nous avons obtenus en technologie CMOS 45 nm en 65 nm STMicroelectronics. Ces résultats sont conformes à ceux publiés antérieurement [Yang, 10] [Dickson, 06] [Woerlee, 01] [Lee, 05]. Les valeurs maximales des fréquences f_t et f_{max} sont obtenues pour des densités du courant relativement indépendantes des technologies considérées et de l'ordre de 0,3 ~ 0,4 mA/μm pour f_t et de 0,25 ~ 0,3 mA/μm pour f_{max} .

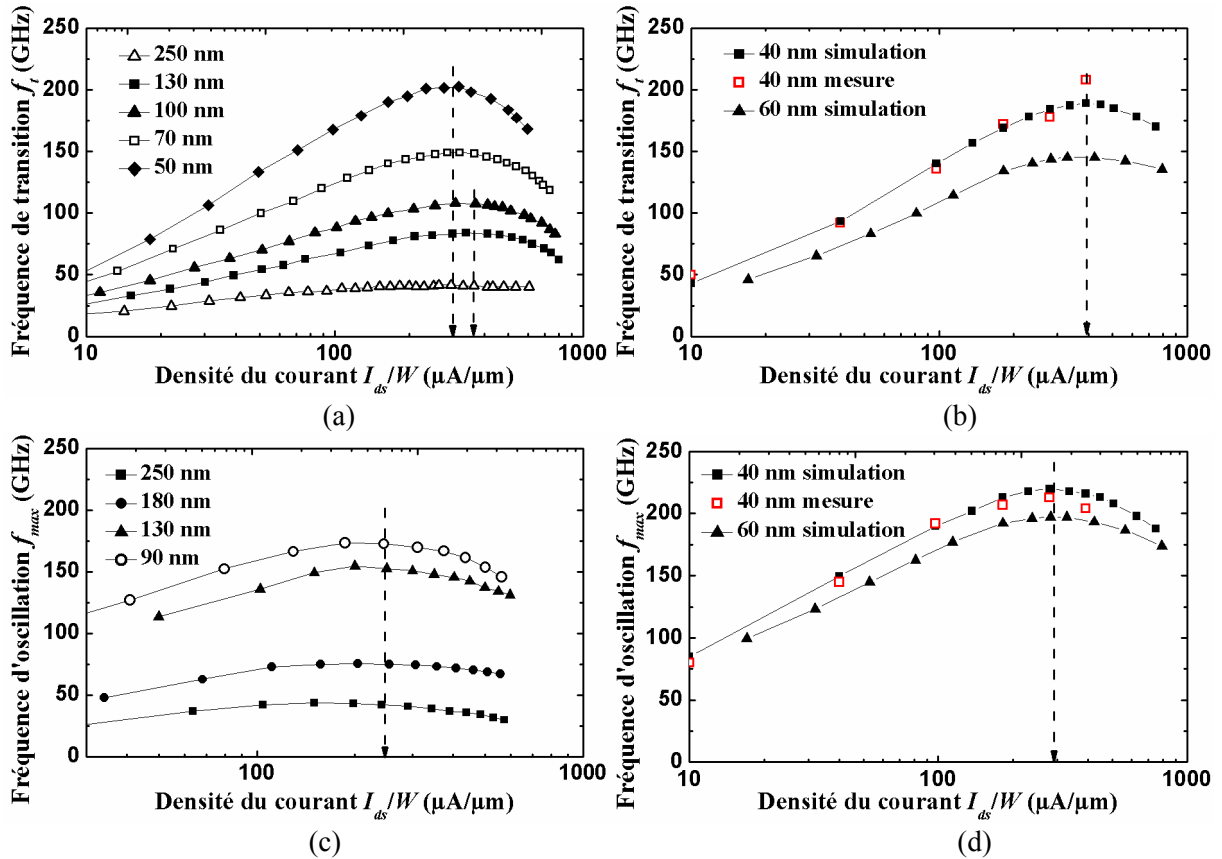


Figure I-6 : Fréquences f_t et f_{max} en fonction de la densité du courant pour différentes technologies. (a) f_t : travail dans [Woerlee, 01], (b) f_t : ce travail, (c) f_{max} : travail dans [Dickson, 06], (d) f_{max} : ce travail

Comme cela est démontré théoriquement dans l'Annexe 2, la fréquence de transition f_t évolue en L_g^{-1} pour les transistors à canal court. Cette évolution est confirmée en pratique par la **Figure I-7**, où [Woerlee, 01] et [Dickson, 06] montrent respectivement une évolution en $L_g^{-1,34}$ et $L_g^{-0,98}$, pour une densité de courant de 0,3 mA/μm.

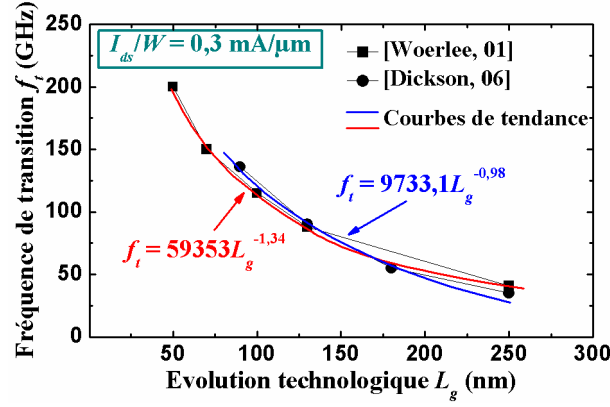


Figure I-7 : Fréquences f_t en fonction des nœuds technologiques à $I_{ds}/W = 0,3 \text{ mA}/\mu\text{m}$.

I.2.2.2 Facteur de bruit minimum NF_{min}

L'autre facteur de mérite relatif aux performances des transistors est le facteur de bruit minimum F_{min} , souvent symbolisé NF_{min} pour sa valeur en décibel (I-4).

$$NF_{min} = 10 \log(F_{min}) \quad (\text{I-4})$$

Ce facteur est un paramètre critique à prendre en compte lors de l'optimisation des amplificateurs à faible bruit LNA (*Low Noise Amplifier*). En 1979, le comportement en bruit des transistors MESFET implémentés sur le substrat GaAs est étudié dans l'article [Fukui, 79], où pour la première fois l'expression du facteur de bruit minimum F_{min} est démontrée (I-5), f étant la fréquence de fonctionnement, K_f étant la constante de Fukui.

$$F_{min} = 1 + K_f \frac{f}{f_t} \sqrt{g_m (R_G + R_S)} \quad (\text{I-5})$$

Les nombreux travaux menés par [Woerlee, 01] et [Lee, 05] montrent que cette expression peut ainsi très bien s'appliquer dans le cas des transistors MOSFET à canal court. L'équation montre que F_{min} se dégrade avec la montée en fréquence. Ce constat est confirmé par la **Figure I-8**. En effet, la **Figure I-8 (a)** [Woerlee, 01] montre l'évolution de NF_{min} en fonction de la densité du courant et de la longueur de grille pour une fréquence faible de 2 GHz ($W = 192 \mu\text{m}$). Nous avons complété ces résultats sur la **Figure I-8 (b)** à une fréquence de 60 GHz et pour les deux technologies CMOS 45 nm et 65 nm (avec $W = 60 \mu\text{m}$ dans les deux cas). Par exemple, pour une densité du courant de $0,15 \text{ mA}/\mu\text{m}$, le NF_{min} passe de $0,15 \text{ dB}$ à $1,5 \text{ dB}$ lorsque la fréquence passe de 2 GHz (cas du 70 nm) à 60 GHz (cas du 65 nm). Par ailleurs, la **Figure I-8** montre que le facteur de bruit est minimum pour une densité de courant de l'ordre de $0,15 \text{ mA}/\mu\text{m}$ et cela indépendamment de la technologie et de la fréquence.

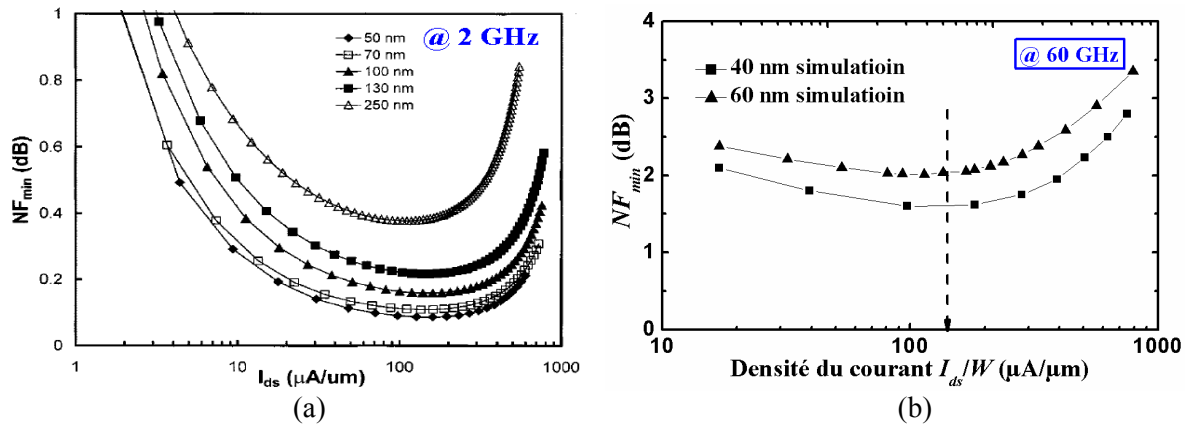


Figure I-8 : Facteur NF_{min} en fonction de la densité du courant pour différentes technologies. (a) travail dans [Woerlee, 01] à 2 GHz ($W = 192 \mu m$), (b) ce travail à 60 GHz ($W = 60 \mu m$).

Les travaux effectués dans [Woerlee, 01] et [Dickson, 06] permettent de mettre en évidence l'incidence de l'évolution des nœuds technologiques sur le facteur de bruit. La largeur du transistor étant respectivement de $192 \mu m$ et $20 \mu m$, pour une densité de courant fixée ($0,15 \text{ mA}/\mu m$ dans la Figure I-9), le facteur de bruit F_{min} évolue d'une manière linéaire en fonction de L_g . Les indices de puissance (1,28 et 1,02) issus des courbes de tendance sont proches de la valeur théorique de 1. Une approche théorique par les formules simplifiées de l'évolution de F_{min} en fonction de L_g est effectuée en Annexe 2.

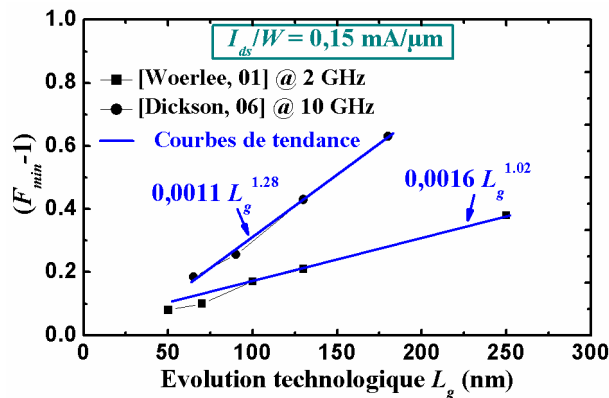


Figure I-9 : Représentation de $(F_{min}-1)$ en fonction des nœuds technologiques à $I_{ds}/W = 0,15 \text{ mA}/\mu m$.

I.2.2.3 Gain maximum disponible MAG

Le gain maximum disponible MAG (*Maximum Available Gain*) d'un transistor rend compte de sa capacité à amplifier la puissance d'un signal. Ce gain est obtenu lorsque l'amplificateur est simultanément adapté en entrée et en sortie (voir Annexe 1). La Figure I-10 (a) montre l'évolution du MAG en fonction de la densité de courant pour une fréquence de 2 GHz [Woerlee, 01] et pour des nœuds technologiques CMOS compris entre 50 nm et 250 nm. Nous avons complété ces résultats sur la Figure I-10 (b) à une fréquence de 60 GHz pour les deux technologies étudiées (CMOS 45 nm et 65 nm). Nous pouvons constater que le gain maximum est obtenu pour une densité de courant de

l'ordre de 0,35 mA/μm. A une fréquence donnée, le gain s'améliore avec l'avancée des technologies. Cependant, nous observons que la diminution en gain est importante avec la montée en fréquence pour des technologies de même génération. Par exemple, le *MAG* varie de 25 dB à 2 GHz ($L_g=70$ nm) à 9,5 dB à 60 GHz ($L_g=60$ nm), pour la densité de courant de 0,35 mA/μm. La dégradation du *MAG* aux fréquences millimétriques est donc un facteur très limitant en ce qui concerne le gain des amplificateurs de puissance dans ce domaine de fréquences.

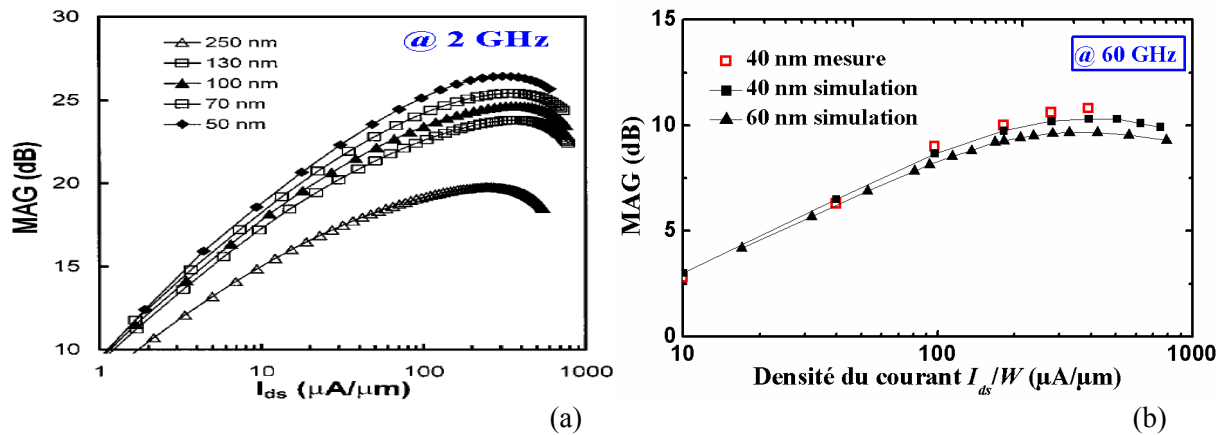


Figure I-10 : Gain *MAG* en fonction de la densité du courant pour différentes technologies. (a) travail dans [Woerlee, 01] à 2 GHz ($W=192$ μm), (b) ce travail à 60 GHz ($W=60$ μm).

La Figure I-11 montre que pour la densité de courant optimale (0,35 mA/μm), le gain *MAG* (en linéaire) est inversement proportionnel à la longueur effective du transistor (i.e. $MAG \sim L_g^{-1}$). Les résultats sont issus de l'article [Woerlee, 01] à 2 GHz. Une approche théorique est effectuée en Annexe 2.

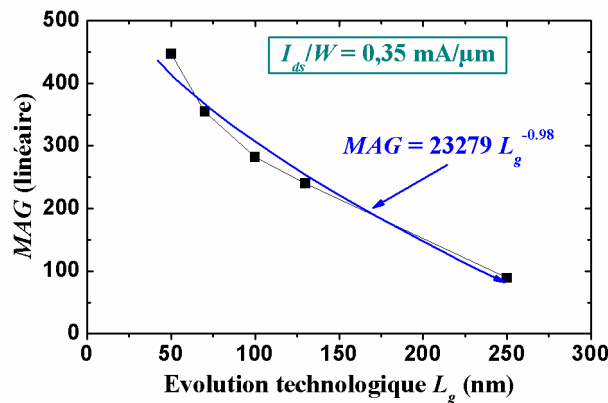


Figure I-11 : Gain *MAG* à 2 GHz en fonction des nœuds technologiques pour $I_{ds}/W=0,35$ mA/μm [Woerlee, 01] ($W=192$ μm).

I.2.2.4 Réduction des tensions d'alimentation

Dans les technologies CMOS, la tension d'alimentation V_{dd} des circuits diminue avec la longueur de grille L_g (voir Figure I-12) pour satisfaire à des critères de fiabilité des transistors à

l'échelle submicronique. En effet, le phénomène de claquage de l'oxyde de grille des transistors peut se produire lorsque de fortes tensions sont appliquées sur la grille et sur le drain (phénomène d'autant plus présent dans les technologies avancées où l'épaisseur d'oxyde est réduite). De même, ces forts champs électriques présents au niveau du drain sont également à l'origine du vieillissement prématuré des transistors par l'injection de porteurs chauds dans la grille [Quemerais, 10-3]. Pour la technologie CMOS 65 nm considérée dans ces travaux, la tension d'alimentation est limitée à 1,2 V. Cela devient un véritable enjeu pour concevoir des amplificateurs à la fois fiables et de forte puissance en technologies CMOS avancées.

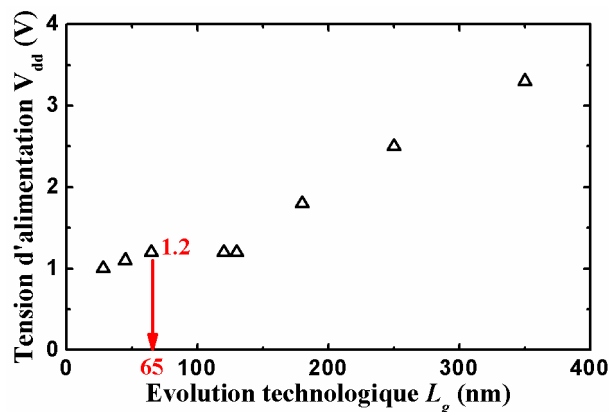


Figure I-12 : Évolution de la tension d'alimentation V_{dd}

I.2.3 Composants passifs : approches localisées et distribuées

I.2.3.1 Lignes de propagation classiques versus éléments localisés

La conception de circuits aux fréquences millimétriques peut se faire en utilisant deux approches : l'approche localisée ou distribuée, c'est-à-dire mettant en jeu des éléments discrets (du type capacité, inductance) ou des éléments propagatifs (du type lignes de propagation). Ces éléments passifs sont largement exploités dans les circuits RF de type diviseur/combiner de puissance [Dawn, 09] [Niknajed, 07] [Law, 10], réseaux d'adaptation d'impédance [Hoarau, 08] [Freitas, 11], transformateurs d'impédance [Chan, 10] [Chowdhury, 08] ou encore filtres [Issa, 08] [Franc, 11].

Dans le cas de l'approche localisée, prenons l'exemple des inductances, généralement conçues sous forme d'une spirale sur les niveaux métalliques épais du BEOL [Dickson, 05]. Ces inductances présentent des surfaces occupées plus faibles que les lignes de propagation équivalentes. Par exemple, [Yao, 07] réalise en technologie CMOS 90 nm une inductance spirale de 140 pH occupant une surface de seulement $841 \mu\text{m}^2$ ($29 \mu\text{m} \times 29 \mu\text{m}$). A titre de comparaison, [Jin, 08] réalise dans la même technologie une ligne CPW (*Coplanar Waveguide*) classique équivalente à cette valeur d'inductance. La longueur physique de cette ligne est de $500 \mu\text{m}$ avec l'encombrement latéral de $70 \mu\text{m}$, conduisant à une surface d'environ 42 fois supérieure à celle de l'inductance spirale. Cependant, les structures distribuées ont tendance à se substituer aux inductances localisées d'une part grâce à la montée en

fréquence permettant de réduire la longueur d'onde λ_g , d'autre part grâce aux facteurs qualité des lignes de propagation pouvant être bien supérieurs à ceux des inductances spirales. En effet, le facteur de qualité des inductances spirales dans le domaine de fréquences millimétriques peut atteindre des valeurs de l'ordre de 15 [Kraemer, 10] et 24 [Shi, 10] à 60 GHz pour des valeurs de l'ordre de 150 pH. Des résultats de lignes à ondes lentes S-CPW (*Slow wave Coplanar Waveguide*) montrent à cette même fréquence des facteurs de qualité pouvant atteindre 40 [Franc, 11]. Par ailleurs, la modélisation électrique des inductances est d'autant plus délicate que la fréquence est élevée. Pour chaque valeur désirée d'inductance spirale, des simulations électromagnétiques doivent être réalisées, et une optimisation du layout doit être menée pour obtenir la valeur désirée d'inductance, cela à cause des effets parasites induits par les lignes d'accès aux composants localisés qui sont d'autant plus prédominants aux fréquences millimétriques. Ceci n'est pas le cas pour les lignes de propagation. En effet, la simple connaissance des paramètres électriques linéiques d'une topologie de ligne permet de pouvoir synthétiser une valeur d'inductance désirée. Ainsi, pour une topologie choisie de ligne de propagation, le seul paramètre d'ajustement à considérer sera la longueur de la ligne pour une impédance caractéristique donnée. Motivés par les avantages des lignes de propagation vis-à-vis des inductances, les travaux présentés dans ce manuscrit considèrent une approche distribuée.

1.2.3.1.1 Structures des lignes de propagation classiques

Les principales topologies de lignes de propagation utilisées aux fréquences microondes sur substrat silicium sont les lignes coplanaires CPW et les lignes microruban (voir **Figure I-13**).

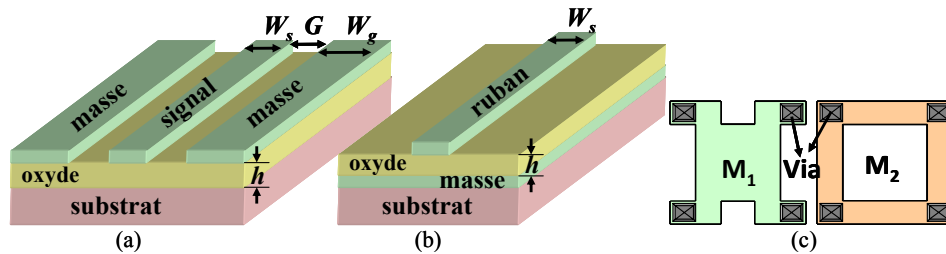


Figure I-13 : Les structures de propagation classiques : (a) CPW, (b) microruban. (c) cellule élémentaire du plan de masse des lignes microruban.

Concernant la ligne microruban (**Figure I-13 (b)**), la première mise en œuvre de cette topologie date du début des années 1950 [Grieg, 52]. Les degrés de liberté permettant d'ajuster l'impédance caractéristique sont la largeur du conducteur central W_s et l'épaisseur du diélectrique h , la permittivité effective relative ϵ_{reff} de cette ligne pouvant difficilement être ajustable. En technologie intégrée standard, les impédances caractéristiques réalisables par cette topologie sont restreintes par rapport aux lignes CPW (**Figure I-13 (a)**). En effet, les fortes valeurs d'impédance caractéristiques nécessitent la diminution de W_s , entraînant une forte augmentation des pertes.

Le guide d'onde coplanaire a, quant à lui, été introduit pour la première fois en 1969 par [Wen, 69]. Le guide d'onde CPW est composé de trois rubans métalliques implémentés, dans la plupart des cas, sur le même niveau, dont un ruban central de largeur W_s et deux rubans latéraux utilisés comme plans de masse de largeur identique W_g écarté d'un espacement G du ruban central. La ligne CPW est séparée du substrat silicium par un diélectrique d'épaisseur h . L'impédance caractéristique de la ligne de propagation ainsi que sa permittivité effective peuvent être ajustées en contrôlant ces paramètres géométriques. En intégré, une large plage d'impédances caractéristiques peut être obtenue. Néanmoins, la réalisation de faibles impédances caractéristiques introduit parfois des fentes très étroites.

L'implémentation sur silicium des lignes microruban est plus répandue dans les designs des fonctions analogiques millimétriques intégrées (PA ou LNA) grâce à sa compacité latérale, à sa simplicité de conception et à des pertes raisonnables aux fréquences élevées. Par exemple, les pertes linéiques d'environ 1 dB/mm sont obtenues à 60 GHz pour une ligne microruban de $50\ \Omega$ en technologies CMOS avancées (32 nm, 45 nm et 65 nm dans [Quemerais, 10-5], 90 nm de [Jin, 08]). Le plan de masse situé au-dessus du substrat silicium permet de réaliser un blindage et donc empêche que les champs électriques pénètrent dans ce substrat à pertes. La **Figure I-13 (c)** donne un exemple du plan de masse grillagé réalisé sur les deux couches métalliques inférieures M_1 et M_2 , qui sont complémentaires ajourées et reliées par des vias de façon à réaliser un blindage complet du substrat. Cette topologie est employée dans ce manuscrit afin de comparer leur performance avec celle des lignes à ondes lentes qui seront présentées dans le Chapitre II. Notons qu'en technologie intégrée, les lignes microruban sont généralement appelées dans la littérature lignes TFMS (*Thin Film MicroStrip*).

1.2.3.1.2 Paramètres caractéristiques des lignes de propagation

Les performances des lignes de propagation peuvent être caractérisées et comparées à l'aide de leurs paramètres caractéristiques propres.

Pour une ligne de propagation présentant un mode de propagation transverse électromagnétique (TEM), son comportement est généralement modélisable par le modèle des télégraphistes illustré à la **Figure I-14**, où R_l , L_l , C_l et G_l sont respectivement la résistance linéique en Ω/m , l'inductance linéique en H/m, la capacité linéique en F/m et la conductance linéique en S/m.

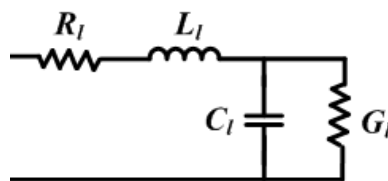


Figure I-14 : Le modèle des télégraphistes

L'impédance caractéristique Z_c et l'exposant de propagation γ peuvent alors s'exprimer à l'aide de ces paramètres distribués. Nous obtenons les relations définies en (I-6) et (I-7).

$$Z_c = \sqrt{\frac{R_l + jL_l\omega}{G_l + jC_l\omega}} \approx \sqrt{\frac{L_l}{C_l}} \quad (\text{I-6})$$

$$\gamma = \sqrt{(R_l + jL_l\omega)(G_l + jC_l\omega)} = \alpha + j\beta \quad (\text{I-7})$$

Il faut noter que R_l et G_l peuvent être négligés dans la formule de Z_c dans le cas où les lignes de propagation présentent des faibles pertes, l'impédance caractéristique est alors simplifiée comme la racine carrée du rapport de L_l et C_l . Concernant l'exposant de propagation, il est composé d'une partie réelle (constante d'atténuation α en Nep/m) et d'une partie imaginaire (constante de phase β en rad/m). Dans le cas des lignes à faibles pertes, α et β peuvent être simplifiés et extraits du développement au premier ordre de l'exposant de propagation (voir (I-8) et (I-9)), avec ω la pulsation en rad/s, v_ϕ la vitesse de phase en m/s et c_0 la vitesse dans la vide qui vaut $3,0 \text{ e}^8 \text{ m/s}$.

$$\alpha = \frac{1}{2} \left(\frac{R_l}{Z_c} + G_l Z_c \right) \quad (\text{I-8})$$

$$\beta = \frac{\omega}{v_\phi} = \frac{\omega \sqrt{\epsilon_{\text{reff}}}}{c_0} = \omega \sqrt{L_l C_l} \quad (\text{I-9})$$

La constante d'atténuation α est un critère important pour comparer les performances des lignes de propagation : plus l'affaiblissement linéique est élevé, moins la ligne est performante. Cependant, dans le cas des circuits distribués utilisant des lignes de propagation (par exemple lignes quart d'onde ou demi-onde utilisées pour réaliser des filtres, des réseaux d'adaptation d'impédance ou des diviseurs de puissance), il faut s'intéresser aux déphasages engendrés par ces lignes à la fréquence de fonctionnement. Il faut donc s'intéresser aux pertes par degré de phase et non pas seulement aux pertes par unité de longueur physique. Le facteur de qualité, défini par (I-10) [Hsu, 63] traduit les pertes par degré de phase, c'est-à-dire les pertes en fonction du déphasage souhaité et donc de la longueur électrique de la ligne. D'après [Golde, 63], cette définition est valable pour des facteurs de qualité suffisamment élevés, supérieurs à 5. C'est cette définition que nous utiliserons tout au long de ce manuscrit.

$$Q = \frac{\beta}{2\alpha} \quad (\text{I-10})$$

La **Figure I-15** résume l'état de l'art des lignes de propagation classiques à impédance caractéristique proche de 50Ω , lignes microruban et CPW, en termes de constante d'atténuation et de facteur de qualité à 60 GHz en fonction de l'évolution technologique. Comme indiqué dans la section I.2.1, concernant l'évolution des niveaux d'interconnexions des technologies récentes, la réduction de

l'épaisseur des empilements (niveaux métalliques et diélectriques) engendre une augmentation des pertes conductrices notamment dans le cas des lignes microruban. En effet, en technologie CMOS 130 nm, des pertes de 0,45 dB peuvent être atteintes alors qu'en technologie CMOS 65 nm, les meilleurs résultats sont obtenus dans [Cathelin, 07] et [Quemerais, 10-5] avec des constantes d'atténuation $\alpha = 0.9$ dB/mm et $\alpha = 1.2$ dB/mm à 60 GHz, respectivement. Pour le nœud technologique 32 nm, l'évolution a tendance à s'inverser, cela peut s'expliquer par l'augmentation de l'épaisseur des niveaux métalliques supérieurs de BEOL (cf. **Figure I-2 (a)**), permettant de réduire dans une certaine mesure les pertes conductrices.

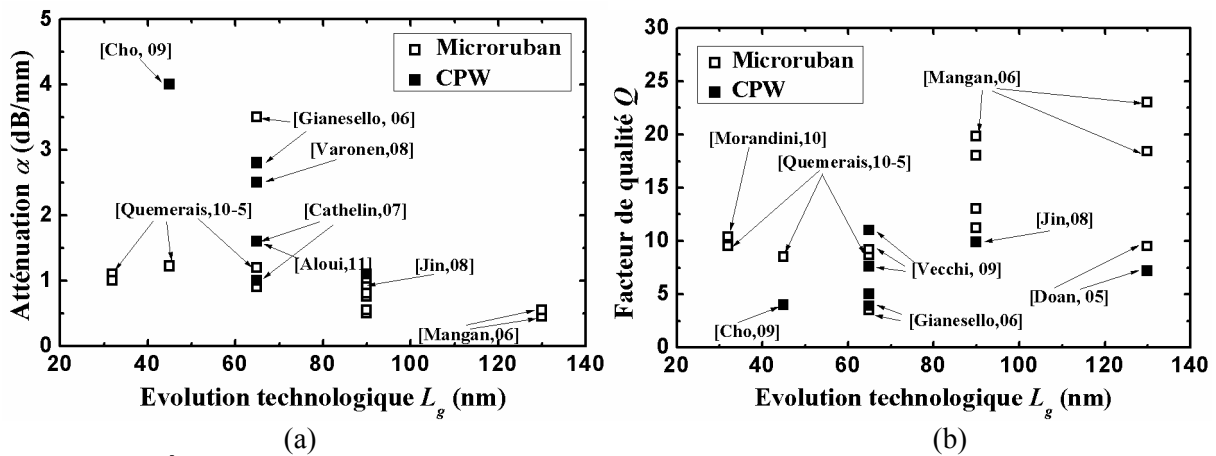


Figure I-15 : État de l'art à 60 GHz (a) des constantes d'atténuation, (b) des facteurs de qualités, pour les lignes de propagation classiques (microruban et CPW) à 50 Ω en fonction de l'évolution technologique.

D'un point de vue du facteur de qualité Q (cf. (I-10)), l'évolution est inverse de celle de l'atténuation linéique (**Figure I-15 (b)**), le premier étant inversement proportionnel à la seconde, la permittivité relative effective des lignes étant relativement peu modifiée avec l'évolution des nœuds technologiques. En effet, les diélectriques sur les niveaux supérieurs (M_6 et/ou M_7) sont généralement de l'oxyde de silicium SiO_2 dont la permittivité relative est de l'ordre de 4,2. Les couches métalliques inférieures (niveau M_1 à M_5), quant à elles, sont entourées des diélectriques à faible permittivité, appelées *low-k* (par exemple, $\epsilon_r = 2,9$ pour la technologie CMOS 65 nm et $\epsilon_r = 2,55$ pour CMOS 45 nm et 32 nm). De fait, le facteur de qualité des lignes de propagation classiques à 60 GHz est toujours inférieur à 25 dans le meilleur des cas (technologie CMOS 130 nm, [Mangan, 06]). Pour une technologie CMOS 65 nm, un facteur de qualité d'environ 11 est atteint par [Vecchi, 09] pour une ligne CPW classique. Concernant les deux technologies dont nous nous intéressons dans ce manuscrit (CMOS 45 nm et 65 nm), le facteur de qualité atteint pour des lignes de propagations classiques des valeurs faibles (entre 4 et 11), ce qui implique que ces dernières ne sont pas suffisamment performantes pour réaliser des circuits millimétriques de bonne qualité en technologies CMOS avancées. L'amélioration du facteur de qualité des lignes de propagation est donc indispensable.

D'après l'équation (I-10), l'amélioration du facteur de qualité peut se faire par la diminution des pertes linéiques et/ou par l'augmentation de la constante de phase, et donc la permittivité (I-9). L'utilisation de matériaux « *high-k* » permettant d'augmenter la permittivité relative effective pourrait être envisagée. Toutefois le processus de fabrication n'est pas compatible avec le BEOL standard prédéfini, entraînant une mise en œuvre complexe et couteuse. Nous présenterons dans le Chapitre II une approche distribuée de ligne à ondes lentes S-CPW, le ralentissement de l'onde de propagation étant obtenu en chargeant périodiquement la ligne de type CPW par des barreaux flottants agissant comme des capacités distribuées en shunt tout au long de la ligne. La constante de phase est alors grandement augmentée alors que la constante d'atténuation reste comparable à celle d'une ligne de propagation classique. Cette solution a pour conséquence d'améliorer le facteur de qualité sans avoir besoin de modifier les processus de fabrication.

I.2.3.2 Capacités MOM

L'autre composant passif localisé indispensable dans le design des circuits RF est la capacité (de liaison ou de découplage). Différents types de capacités localisées peuvent être réalisées. Dans un premier temps, la capacité de type « plate » est constituée de deux niveaux de métallisation séparés d'une certaine distance par une couche diélectrique. La capacité est essentiellement formée par le couplage de deux conducteurs en vis-à-vis. La topologie de la capacité « plate » est simple mais l'inconvénient provient de la faible densité capacitive, qui est inférieure à $0,3 \text{ fF}/\mu\text{m}^2$ [Seller, 08]. Ensuite, nous avons le choix des capacités MIM (*Métal-Isolant-Métal*), cependant ce genre de capacité nécessite deux lithographies supplémentaires impliquant un coût de fabrication relativement élevé. Contrairement aux capacités MIM, la capacité multi-doigts de type MOM (*Métal-Oxyde-Métal*) est totalement compatible avec les étapes de fabrication standard. Par ailleurs, cette capacité profite de nombreuses couches métalliques disponibles au sein du BEOL pour réaliser des capacités à forte densité capacitive. Une vue en 3D et en 2D avec la présence des vias des interconnexions est présentée sur la **Figure I-16**. De nombreux doigts du métal sont connectés d'une manière interdigitale comme le montre la **Figure I-16 (b)**.

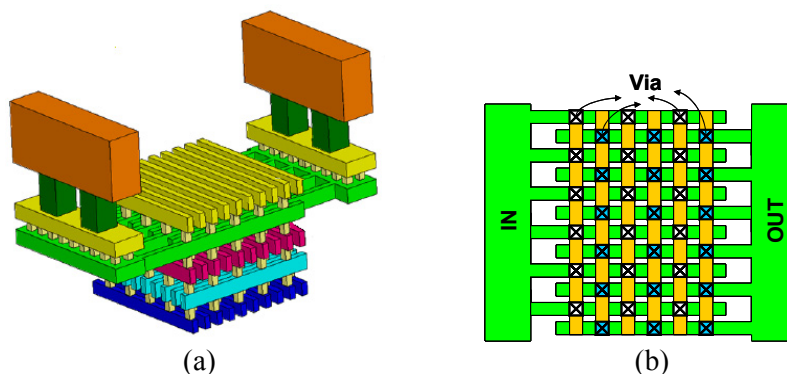


Figure I-16 : schéma d'une capacité MOM (a) vue en 3D [Seller, 08] (b) vue en 2D avec la présence des vias.

Chaque doigt permet de créer une capacité avec les doigts entourant, puis la capacité entre le doigt et les vias des interconnexions entre chaque niveau de métallisation contribue également à la capacité totale MOM. De plus, l'évolution des empilements du BEOL suivant les nœuds technologiques est favorable pour ces capacités de topologie interdigitale, grâce à la réduction de l'espacement latéral entre deux doigts métalliques du même niveau et vertical entre deux niveaux de métallisation différents. En effet, quelque soit le sens de réduction, l'effet capacitif est renforcé. Dans [Quemerais, 10-3], la capacité MOM de l'ordre de 600 fF réalisée en technologie CMOS 45 nm présente une densité supérieure à 3 fF/μm² et un facteur de qualité de 9,5 à 60 GHz. La modélisation électrique jusqu'aux fréquences millimétriques basée sur les travaux dans [Quemerais, 10-3] va être développée dans le Chapitre III.

I.3 État de l'art des front-end millimétriques

Cette section a pour objectif de dresser l'état de l'art des front-end millimétriques en technologies CMOS. La **Figure I-17** montre un schéma simplifié d'un tel front-end constitué essentiellement de trois composants : l'amplificateur de puissance PA, l'amplificateur faible bruit LNA et le commutateur d'antenne de type SPDT (*Single Pole Double Throw*). Afin de situer nos travaux, nous présentons un état de l'art récent pour chacun de ces blocs, dont les tableaux récapitulatifs des performances sont annexés en **Annexe 4**.

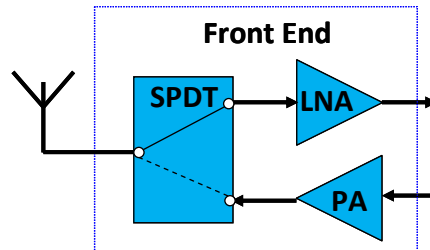


Figure I-17 : Schéma simplifié d'un front-end

I.3.1 Amplificateurs de puissance PA

Les performances d'un amplificateur de puissance (cf. **Annexe 3**) sont le gain en puissance G_p , le point de compression à 1 dB en sortie OCP_{1dB} , la puissance de saturation P_{sat} et l'efficacité en puissance ajoutée PAE . Ce dernier est défini comme le rapport entre la puissance ajoutée (i.e. la différence entre la puissance de sortie P_s et celle d'entrée P_e) et la puissance consommée en continu P_{DC} comme le montre l'équation (I-11). Le facteur de mérite FoM défini par l'ITRS pour un amplificateur de puissance est exprimé à partir de ces performances par la relation (I-12).

$$PAE(\%) = \frac{P_s(W) - P_e(W)}{P_{DC}(W)} \times 100 \quad (I-11)$$

$$FoM_{PA,ITRS} = P_{sat} [W] \times G [1] \times PAE [\%] \times f^2 [GHz] \quad (I-12)$$

Les réseaux passifs d'adaptation d'impédance utilisés dans les amplificateurs sont soit des réseaux à éléments localisés soit des réseaux à éléments distribués (lignes de propagation). Les réseaux d'adaptation à éléments localisés utilisent des inductances spirales ou des transformateurs adaptés aux structures différentielles. Un résumé des performances actuelles des différents amplificateurs de puissance intégrés en technologies CMOS travaillant autour de 60 GHz est présenté dans les **Tableau A-4.2** et **Tableau A-4.3** (cf. **Annexe 4**).

A partir des performances des amplificateurs de puissance à 60 GHz résumées dans ces tableaux, nous avons tracé à la **Figure I-18** les paramètres caractéristiques (OC_{1dB} , P_{sat} , PAE et FoM) obtenus dans la littérature en fonction des différentes technologies CMOS utilisées (caractérisées par la longueur de grille L_g). Le gain en puissance des amplificateurs n'a pas été considéré car ce dernier dépend du nombre d'étages (il est cependant pris en compte dans le facteur de mérite).

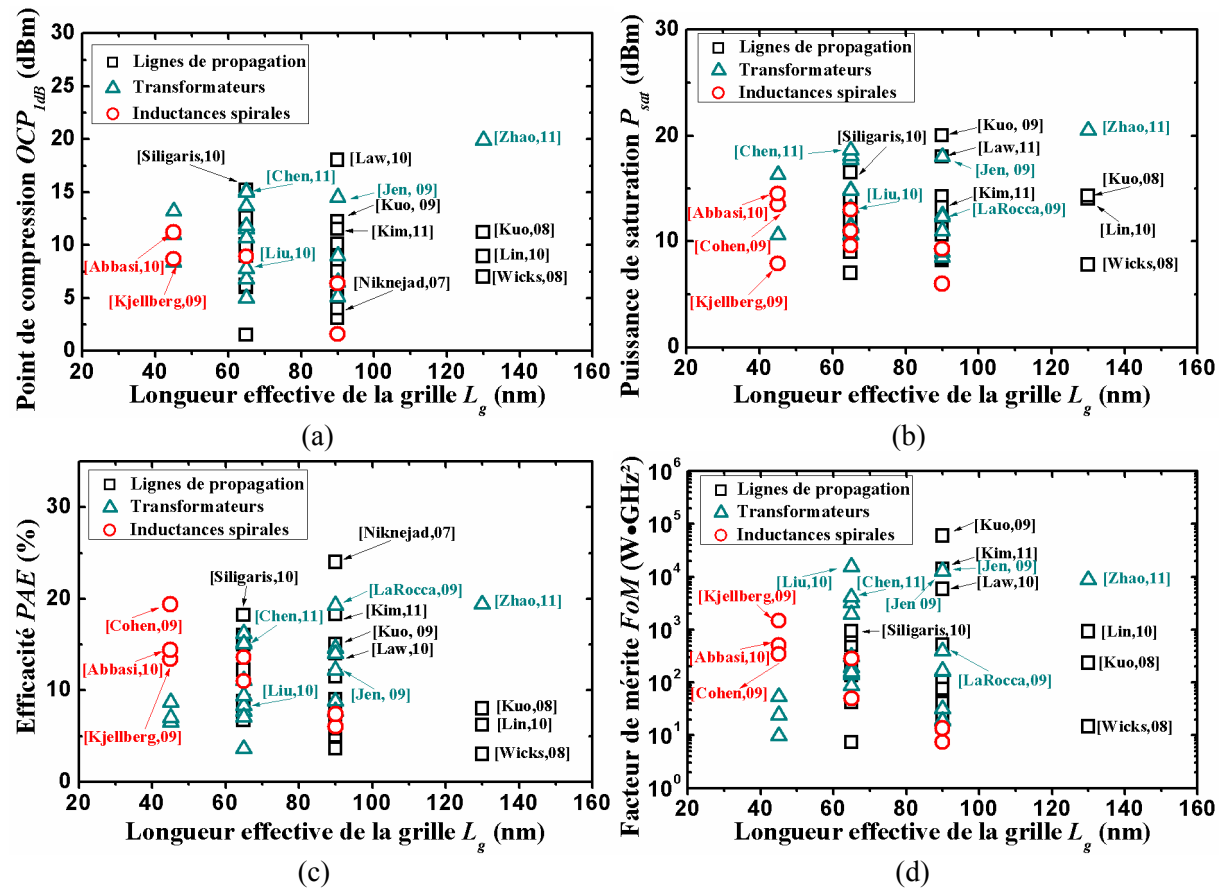


Figure I-18 : Etat de l'art des performances des PAs à 60 GHz en technologies CMOS avancées : (a) OC_{1dB} , (b) P_{sat} , (c) PAE , (d) FoM .

D'une manière générale, les performances en puissance (OC_{1dB} et P_{sat}) des PAs ont tendance à diminuer avec l'évolution des nœuds technologiques. Cette décroissance est principalement liée à la réduction de la tension d'alimentation V_{dd} (cf. I.2.2.4), la puissance de sortie en saturation d'un amplificateur à un seul étage étant [Yao, 07] :

$$P_{sat} = \frac{(V_{dd} - V_{ds,sat})^2}{2R_L} \quad (\text{I-13})$$

$V_{ds,sat}$ étant la tension de saturation entre le drain D et la source S du transistor et R_L la résistance de charge ramenée au drain du transistor MOS. Compte tenu de la réduction des tensions d'alimentation, il est nécessaire, pour maintenir la puissance en sortie, de diminuer la valeur de la résistance R_L . Ceci implique un facteur de transformation élevé entre l'impédance de l'antenne (50Ω) et la charge R_L . Cependant, les faibles facteurs de qualité des composants passifs constituant le réseau d'adaptation (qu'il soit distribué ou localisé), impactent sur la puissance réellement transmise à l'antenne et cela d'autant plus que le facteur de transformation d'impédance est élevé. En conclusion, la puissance demeure un véritable verrou à lever en technologies CMOS avancées et des solutions améliorant la puissance transmise et la linéarité des amplificateurs sont nécessaires.

Nous pouvons relever dans la littérature plusieurs méthodes utilisées pour améliorer le point de compression en sortie.

- La technique la plus répandue consiste à employer la mise en parallèle d'amplificateurs avec des diviseurs de puissance en entrée et des combineurs de puissance en sortie. Les auteurs de l'article [Law, 10], employant des diviseurs/combineurs de Wilkinson réalisés à l'aide de lignes microruban à faible perte (de l'ordre de 0,7 dB/mm à 60 GHz), réussissent à conserver la linéarité jusqu'à 18 dBm en sortie (meilleure performance obtenue en technologie CMOS 90 nm). Il faut par contre noter que cette technique n'est pas optimale au niveau du rendement et de l'occupation de la surface. Le rendement se dégrade à cause d'étages supplémentaires utilisés ramenant de la consommation de puissance élevée. L'amplificateur dans [Law, 10] ne présente qu'une efficacité PAE de 14 %.

- Une autre solution consiste en l'application de la topologie différentielle, généralement réalisée avec les transformateurs. Des articles relatifs à des amplificateurs de puissance différentiels sont relativement nombreux. Par exemple, [Chen, 11] propose un amplificateur de puissance différentiel à 60 GHz réalisé en technologie CMOS 65 nm et présentant un point de compression de 15 dBm. La topologie différentielle permet d'augmenter la puissance de sortie de 3 dB par rapport à la structure simple *SE* (*Single Ended*), tout en conservant le même rendement et le même gain en puissance.

- Une autre alternative réside dans l'utilisation d'une technologie CMOS SOI (*Silicon On Insulator*) sur substrat à haute résistivité, permettant de limiter fortement les pertes dans le substrat en particulier concernant les composants passifs. Dans [Siligaris, 10], les lignes coplanaires CPW constituant les réseaux d'adaptation présentent des pertes faibles (0,6 dB/mm à 60 GHz) et un facteur de qualité élevé de l'ordre de 20, deux fois supérieur à celui des lignes CPW de même impédance caractéristique sur un substrat silicium standard. L'amplificateur de puissance réalisé présente un point

de compression à 1 dB supérieur à 15 dBm et un rendement élevé de l'ordre de 18 %. Cependant, le coût d'un substrat de type SOI est plus élevé qu'un substrat standard.

Concernant les passifs utilisés dans les réseaux d'adaptation entre les étages, il est difficile de distinguer les avantages présentés par les lignes de propagation par rapport aux topologies utilisant des éléments localisés (inductances spirales ou transformateurs) en termes de performances globales des amplificateurs. Notons tout de même que les amplificateurs utilisant des inductances spirales présentent des performances globales qui s'améliorent lorsque le nœud technologique devient plus avancé. Cependant, un avantage certain des lignes de propagation réside dans la souplesse qu'elles apportent à la conception des réseaux d'adaptation comme nous l'avons souligné précédemment. L'avantage présenté par les éléments localisés en terme de surface de silicium par rapport aux lignes de propagation tend à s'amenuiser avec l'apparition des lignes à ondes lentes S-CPW présentant des longueurs physiques plus faibles grâce à leur exposant de propagation élevé. Enfin, la modélisation électrique des éléments localisés deviendra de plus en plus difficile dans le cadre de la montée en fréquence (des applications au-delà de 100 GHz) alors que l'utilisation de lignes de propagation sera de plus en plus incontournable. Ces différents arguments justifient notre choix d'utiliser des lignes à ondes lentes pour les amplificateurs de puissance à 60 GHz.

I.3.2 Amplificateurs à faible bruit LNA

En se situant en tête de la chaîne de réception, l'amplificateur faible bruit LNA est une fonction analogique critique caractérisée principalement par son facteur de bruit NF exprimé en décibel (ou par F en linéaire). Les performances concernent également la linéarité (pouvant être quantifiée par le point de compression à 1 dB en entrée ICP_{1dB} et par le point d'interception d'ordre 3 en entrée IIP_3), son gain et enfin sa consommation. La définition de ces paramètres caractéristiques est rappelée en **Annexe 3**. L'état de l'art des performances des amplificateurs à faible bruit à 60 GHz réalisés en différentes technologies CMOS est présenté dans les tableaux **Tableau A-4.4** et **Tableau A-4.5** de l'**Annexe 4**.

I.3.2.1 Structures de LNA aux fréquences millimétriques

Pour des applications à bande étroite, la structure offrant le meilleur compromis entre la figure de bruit et l'adaptation d'impédance en entrée est la structure cascode [Razavi, 97]. Cette structure est formée d'un étage en source commune M_1 à dégénérescence inductive suivi d'un étage en grille commune M_2 (**Figure I-19**). L'étage en grille commune apporte une quasi-unilatéralisation de l'amplificateur en minimisant l'effet Miller dû à la capacité C_{gd} du MOS source commune et assure une stabilité inconditionnelle. Toutefois, le facteur de bruit de cette structure est supérieur à celui du montage source commune seul. En effet, le facteur de bruit est dégradé par le surplus de bruit apporté par le MOS M_2 , dont la fréquence de transition est dégradée par la capacité ramenée au nœud cascode.

Nous reviendrons sur ce point dans le chapitre IV. Cette architecture reste cependant la mieux adaptée dans le cas des fréquences millimétriques car elle présente le meilleur compromis entre la stabilité et le facteur de bruit.

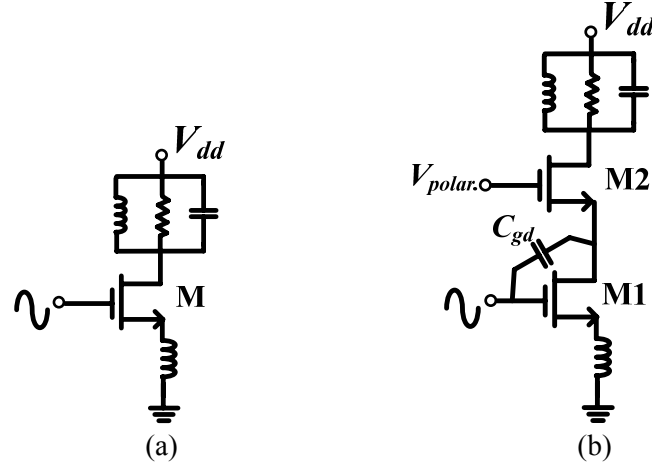
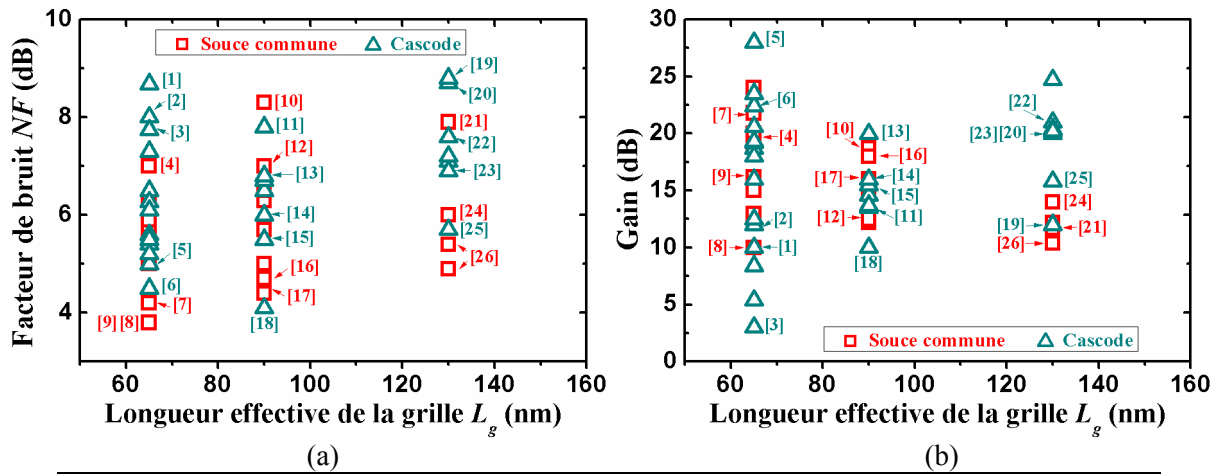


Figure I-19 : La structure (a) en source commune, (b) en cascode.

Le facteur de bruit NF ainsi que le gain d'amplificateurs à faible bruit intégrés dans différentes technologies CMOS à 60 GHz est présenté sur la **Figure I-20**. Les amplificateurs à faible bruit sont séparés en deux catégories : LNA en source commune et LNA en cascode. Les points sont issus des tableaux **Tableau A-4.4** et **Tableau A-4.5** de l'Annexe 4.



[1] : [Zito, 07]	[2] : [Siligaris, 08]	[3] : [Lee, 09]	[4] : [Varonen, 09]
[5] : [Vecchi, 10]	[6] : [Kraemer, 09]	[7] : [Kim, 11-2]	[8] : [Janssen, 10]
[9] : [Lin, 11]	[10] : [Tanomura, 08]	[11] : [Mitomo, 08]	[12] : [Lin, 08]
[13] : [Natsukari, 09]	[14] : [Pinel, 08]	[15] : [Yao, 07]	[16] : [Wang, 11-2]
[17] : [Cohen, 08]	[18] : [Haroun, 10]	[19] : [Doan, 05]	[20] : [Huang, 09-2]
[21] : [Kuo, 08-2]	[22] : [Huang, 11]	[23] : [Lin, 10]	[24] : [Fahimnia, 11]
[25] : [Chiou, 10]	[26] : [Chen, 10]		

Figure I-20 : Etat de l'art des performances des amplificateurs à faible bruit à 60 GHz intégrés en technologies CMOS. (a) Facteur de bruit, (b) gain.

D'un point de vue général, les amplificateurs réalisés en topologie cascode semblent présenter comme attendu un facteur de bruit plus important que la topologie source commune. A l'exception des travaux réalisés dans [Haroun, 10] (i.e. [18]), pour lesquels un faible facteur de bruit est obtenu (de l'ordre de 4 dB) en utilisant la topologie cascode, au détriment cependant du gain qui est relativement faible (10 dB à 60 GHz) (**Figure I-20 (b)**).

I.3.2.2 Impact de l'évolution des technologies

Afin d'assurer un gain suffisant, l'amplificateur faible bruit est souvent composé de plusieurs étages. Le facteur de bruit total d'une chaîne cascadée à n étages (voir (I-14)) dépend du gain G_i (converti en valeur linéaire) et du facteur de bruit F_i de chaque étage, avec $i = 1, 2, \dots, n$. Le facteur de bruit est cependant principalement lié au facteur de bruit du premier étage (cf. **Annexe 3**) [Poza, 97].

$$F = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 \times G_2} + \dots + \frac{F_n - 1}{G_1 \times G_2 \times \dots \times G_n} \quad (\text{I-14})$$

La **Figure I-21** montre l'évolution du facteur du bruit en fonction des nœuds technologiques pour des structures d'amplificateur à trois étages fonctionnant à 60 GHz.

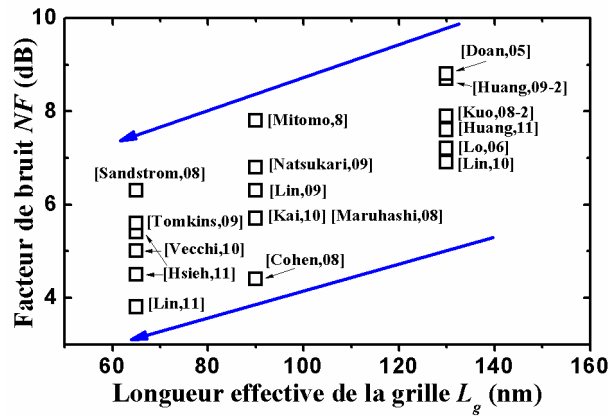


Figure I-21 : Etat de l'art du facteur de bruit des LNAs à trois étages à 60 GHz en technologies CMOS.

Nous remarquons une réduction du facteur de bruit avec l'avancée des nœuds technologiques CMOS dans le domaine submicronique. Cette tendance suit celle de F_{min} (cf. **Figure I-8**) qui est reliée à la figure de bruit F par la relation (I-15), où R_n est la résistance équivalente de bruit, Y_{opt} l'admittance optimale de bruit et Y_s l'admittance de la source.

$$F = F_{min} + \frac{R_n}{\text{real}(Y_s)} |Y_s - Y_{opt}|^2 \quad (\text{I-15})$$

Concernant le facteur de mérite, nous nous intéressons à celui défini par l'ITRS (FoM_{ITRS}) par la relation (I-16) et à celui proposé par Sanduleanu et Long (FoM_{Long}) défini par la relation (I-17),

introduit dans [Sanduleanu, 06] pour les LNAs large bande. Le facteur FoM_{ITRS} décrit la performance des amplificateurs à bande étroite en prenant en compte le gain, la linéarité, le facteur de bruit, la fréquence et la consommation. Pour les LNAs à large bande passante, le facteur (FoM_{Long}) ne prend pas en compte la linéarité mais prend en compte la bande passante à 3 dB BW_{3dB} .

$$FoM_{LNA,ITRS} = \frac{G[1] \times IIP_3[mW] \times f[GHz]}{(F[1]-1)P_{DC}[mW]} \quad (I-16)$$

$$FoM_{LNA,Long} = \frac{G[dB] \times BW_{3dB}[GHz]}{(NF[dB]-1)P_{DC}[mW]} \quad (I-17)$$

Comme le montre la **Figure I-22**, les facteurs de mérite, que ce soit FoM_{ITRS} ou FoM_{Long} , ont une tendance à augmenter avec la réduction de la longueur de la grille. Cela s'explique en partie par l'amélioration du facteur de bruit avec l'avancée des technologies (cf. **Figure I-21**).

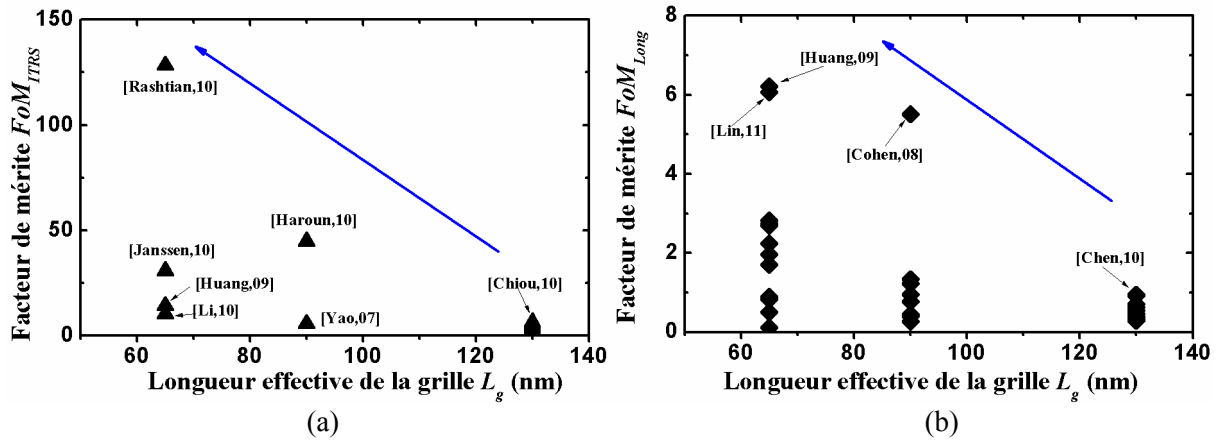


Figure I-22 : Evolution des facteurs de mérite des LNA s à 60 GHz en fonction de la longueur de la grille. (a) FoM_{ITRS} , (b) FoM_{Long} .

Ainsi, nous pouvons conclure que la technologie CMOS 65 nm est adaptée à la réalisation d'amplificateurs faible bruit présentant de bonnes performances à 60 GHz.

I.3.3 Switch d'antenne SPDT

Le commutateur d'antenne de type SPDT (*Single Pole Double Throw*) permet de connecter alternativement à l'antenne ANT la voie d'émission TX ou celle de réception RX (cf. **Figure I-17**). Les performances d'un commutateur d'antenne sont les suivantes :

- 1) Les pertes d'insertion IL (*Insertion Loss*) en dB : paramètre représentant les pertes en puissance introduites par le commutateur entre l'accès d'antenne et un des ports (TX ou RX).
- 2) L'isolation Iso en dB : paramètre représentant les fuites entre le port antenne et un des accès RX ou TX à l'état « OFF ».

- 3) La linéarité : souvent mesurée par le point de compression à 1 dB ICP_{1dB} au port d'antenne.

Historiquement, les commutateurs d'antenne ont été implémentés en utilisant des commutateurs mécaniques [Louis, 22] ou des commutateurs à état solide [Wilson, 88] [Lan, 88] [Lin, 04]. Par rapport aux commutateurs mécaniques, les commutateurs à état solide sont meilleurs en termes de temps de commutation, de fiabilité et de compacité permettant l'intégration à forte densité. Le développement des nouvelles technologies telles que les microsystèmes électromécaniques MEMS (*MicroElectroMechanical Systems*) [Rebeiz, 01], permet d'obtenir des commutateurs présentant des pertes réduites par rapport aux commutateurs à état solide. Cependant, les temps de commutation sont relativement longs (de l'ordre de 2 ~ 40 μ s) [Rebeiz, 01]. De plus, la difficulté essentielle réside dans l'intégration et la fiabilité de ces composants mécaniques.

Les commutateurs d'antenne RF intégrés ont, depuis plusieurs décennies, été réalisés dans des technologies III-V (typiquement GaAs), soit avec des diodes PINs (*Positive Intrinsic Negative Diode*) [Wilson, 88] [Shimura, 01], soit avec des transistors à effets de champs HEMTs (*High ElectroMobility Transistors*) [Schindler, 87] [Lan, 88]. Le premier commutateur d'antenne SPDT implémenté sur silicium en technologie CMOS date des années 1990 dans [Caverly, 99], où l'auteur réalise un SPDT avec des pertes d'insertion inférieures à 1 dB et une isolation supérieure à 50 dB pour les fréquences inférieures à 100 MHz. Dans la même année, [Madihian, 99] réalise un commutateur SPDT en technologie CMOS pour la bande communication sans fil 900 MHz-2.4 GHz. Actuellement, ce type de commutateur est envisageable pour des applications dans le domaine des fréquences millimétriques.

L'état de l'art des performances des commutateurs SPDT couvrant la bande de 60 GHz en technologies CMOS et GaAs est résumé dans le **Tableau A-4.6** en **Annexe 4**. La **Figure I-23** compare leurs performances en termes de pertes d'insertion, d'isolation et de point de compression.

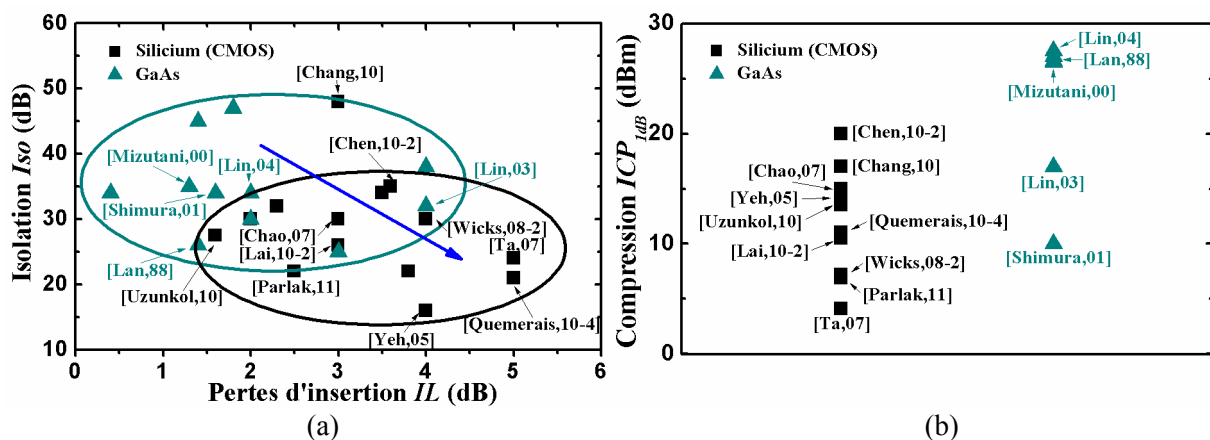


Figure I-23 : Comparaison des performances des SPDTs millimétriques (autour de 60 GHz) en technologies CMOS et GaAs. (a) IL et Iso , (b) ICP_{1dB} .

Bien que comparativement aux technologies CMOS, les performances des commutateurs d'antennes implémentés sur le substrat GaAs sont généralement supérieures, le très faible coût de fabrication du silicium reste très attirant. D'ailleurs, certains SPDTs millimétriques actuels sur silicium présentent des résultats comparables à ceux réalisés en substrat GaAs et pourraient être encore améliorés à l'aide de différentes techniques que nous présenterons dans le chapitre IV.

I.3.3.1 Topologies à éléments localisés

Les schémas simplifiés de différentes topologies à éléments localisés sont présentés sur la **Figure I-24**.

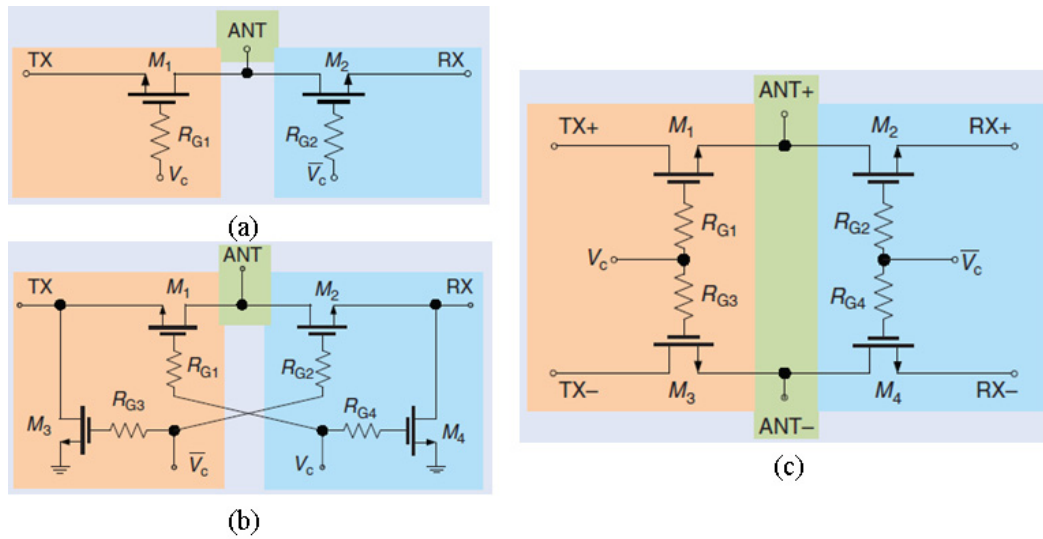


Figure I-24 : Les différentes topologies à éléments localisés des SPDTs. (a) série, (b) série-shunt, (c) différentiel. [Li, 10-2]

La topologie en série (**Figure I-24 (a)**) réalise la connexion entre l'accès ANT et les accès RX ou TX par un transistor en série, dont l'état bloqué « OFF » ou passant « ON » est contrôlé respectivement par les tensions de grille \bar{V}_c ou V_c à travers des résistances R_G (R_{G1} et R_{G2} dans la figure). Cette topologie en série présente l'avantage de la simplicité, cependant l'isolation qu'elle présente est limitée. Une solution pour améliorer l'isolation consiste à ajouter un transistor en parallèle contrôlé de façon inverse au transistor en série, comme montré sur la **Figure I-24 (b)**. Cette topologie en série-shunt ramène un degré d'isolation en plus par le transistor en shunt au détriment cependant des pertes d'insertion. A titre de comparaison, nous avons simulé en technologie CMOS 65 nm et présenté à la **Figure I-25** les deux topologies en termes de pertes d'insertion et d'isolation. Les dimensions des transistors utilisés sont identiques avec une largeur W des transistors égale à $20\ \mu\text{m}$ et une longueur de grille L_g de 65 nm. Le modèle utilisé pour les transistors est un modèle intrinsèque ne prenant donc pas en compte les parasites d'interconnexions. Nous pouvons constater que la topologie série-shunt est meilleure en terme d'isolation mais les pertes d'insertion se dégradent notamment aux fréquences élevées.

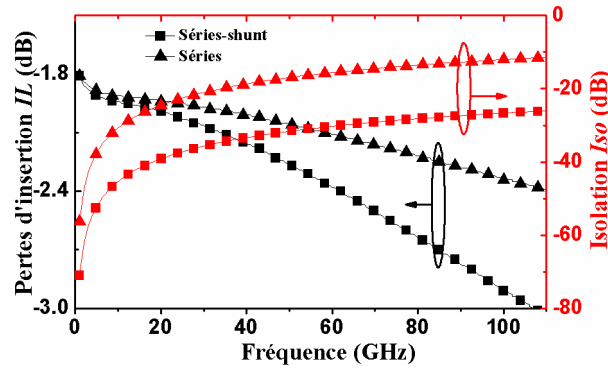


Figure I-25 : Comparaison de la réponse fréquentielle en termes des pertes d'insertion IL et d'isolation Iso des topologies en série et en série-shunt ($W = 20 \mu\text{m}$ et $L_g = 65 \text{ nm}$).

Enfin, afin d'améliorer la linéarité, la topologie différentielle peut être envisagée. Basé sur la topologie en série, une structure différentielle est schématisée à la **Figure I-24 (c)**. L'avantage de la topologie différentielle réside dans l'amélioration théoriquement de 3 dB du point de compression. Un switch d'antenne basé sur cette topologie a été réalisé en technologie CMOS 180 nm dans [Zhang, 06] pour un fonctionnement dans la bande 0,9 - 5,2 GHz. Les pertes d'insertion et l'isolation du SPDT sont respectivement inférieures à 1,7 dB et supérieures à -16 dB sur toute la bande. Le point de compression est de 20 dBm à 5,2 GHz. En outre, la topologie différentielle est plus immune aux variations de tensions d'alimentation ainsi qu'aux bruits du substrat [Li, 10-2].

Quelle que soit la topologie classique utilisée, les pertes d'insertion augmentent et l'isolation se dégrade rapidement avec la fréquence, ce qui limite les performances de ces topologies classiques aux fréquences millimétriques. Nous avons donc choisi d'étudier une topologie distribuée de commutateurs d'antennes mieux adaptée aux applications millimétriques utilisant des lignes de propagation à ondes lentes.

I.3.3.2 Topologie distribuée

Jusqu'au début des années 2000, les commutateurs SPDT implémentés sur silicium ont été limités aux fréquences inférieures à 30 GHz. En 2005, dans [Yeh, 05] une topologie distribuée à base de lignes TFMS est proposée réalisant ainsi le premier SPDT millimétrique à très large bande sur substrat silicium en technologie CMOS 130 nm. Cette approche est connue sous le nom de « *traveling-wave* ». La **Figure I-26** présente deux structures de SPDT à topologie distribuée cascadée à quatre étages. L'une (a) utilise en sortie d'antenne des lignes quart d'onde ($\lambda/4$) d'impédance caractéristique de 50Ω et l'autre (b) utilise des transistors MOS en série. La première structure permet d'obtenir des fréquences de coupure plus élevées, donc mieux adaptée aux performances millimétriques en bande étroite.

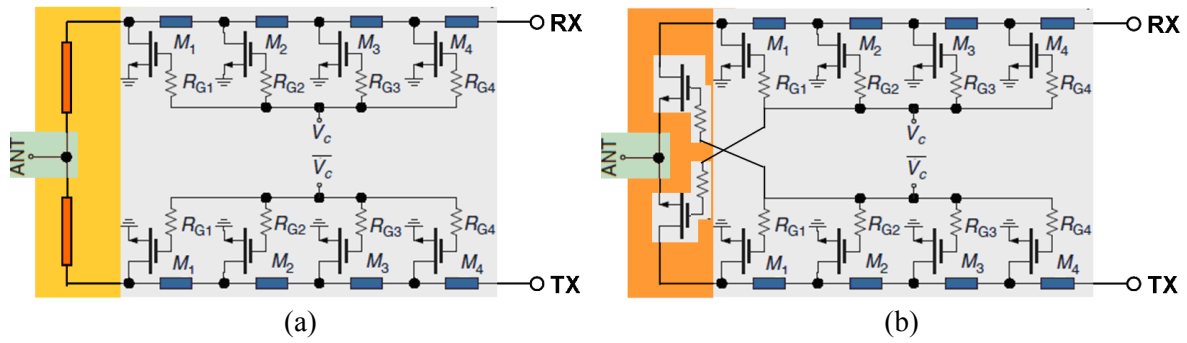


Figure I-26 : schéma de principe d'un SPDT à topologie distribuée (*traveling-wave*). (a) avec lignes quart d'onde, (b) avec les transistors en séries.

Dans les deux topologies, les lignes de propagation de chaque branche sont périodiquement chargées par les transistors placés en parallèle. A l'état « ON » et à l'état « OFF », les MOS sont respectivement équivalents à une résistance R_{on} et à une capacité parasite C_{off} . Dans la branche passante où tous les MOS sont à l'état « OFF », la branche est équivalente à une ligne de transmission artificielle d'impédance caractéristique 50Ω . Dans l'autre branche à l'état bloqué (MOS à l'état « ON »), la résistance équivalente R_{on} des transistors court-circuite les signaux RF vers la masse, permettant de réaliser l'isolation entre l'accès antenne et l'accès RX ou TX correspondant. Dans le cas de la structure (a) les lignes quart d'onde ramènent respectivement à l'entrée de l'antenne une impédance de 50Ω pour la voie passante et une impédance très élevée pour la voie à l'état bloqué.

Notons qu'une branche à l'état passant est une ligne de propagation distribuée, basée sur une structure périodique formée de tronçons de lignes de propagation chargée par des capacités C_{off} . Dans la structure proposée dans [Jin, 07], les tronçons de ligne sont remplacés par des inductances spirales « on-chip » localisées. De cette manière, l'ensemble des inductances et les capacités C_{off} forme ainsi une ligne de propagation artificielle.

I.3.3.3 Comparaison des topologies

La Figure I-27 compare les performances entre les topologies à éléments localisés et distribuée des commutateurs SPDT millimétriques autour de 60 GHz existant à l'état de l'art en technologies CMOS (cf. Tableaux A-4.6 en Annexe 4). Les pertes d'insertion (Figure I-27 (a)) dans les deux catégories sont comparables, toutefois les topologies distribuées sont meilleures au niveau d'isolation et en terme de point de compression. Nous présenterons dans le chapitre IV la réalisation en technologie CMOS 65 nm d'un commutateur d'antenne SPDT basé sur la structure distribuée de la Figure I-26 (a) avec des lignes S-CPW pour des applications à 60 GHz.

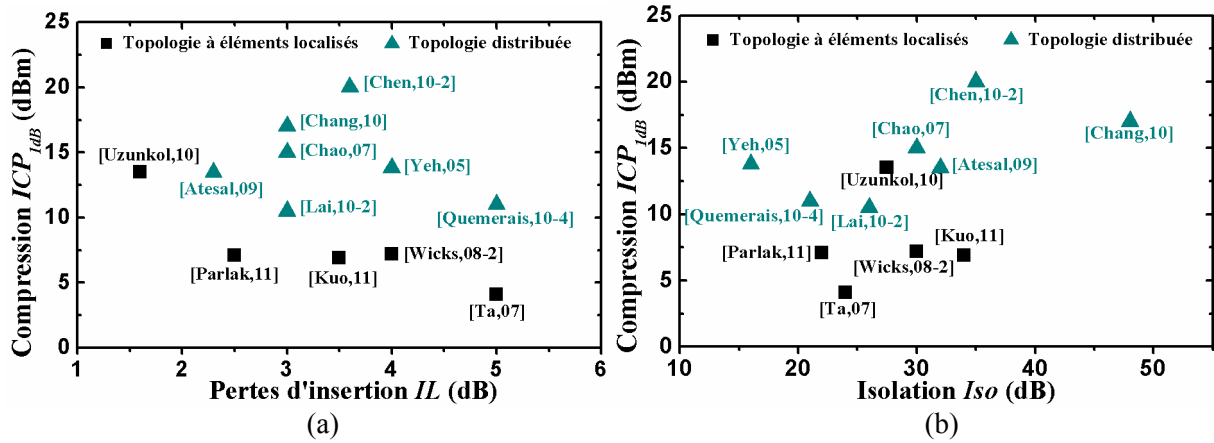


Figure I-27 : Comparaison des performances de SPDT de l'état de l'art fonctionnant à 60 GHz en topologie à éléments localisés et distribuée en technologies CMOS. (a) IL et ICP_{1dB} , (b) Iso et ICP_{1dB} .

I.4 Conclusion et Enjeux

L'avancée des technologies CMOS vers l'échelle submicronique offre la possibilité d'intégrer à forte densité des fonctions millimétriques à faible coût grâce à l'amélioration des performances de transistors en termes de fréquences de coupure, de fréquence de transition, de facteur de bruit et de gain MAG . Cependant, ces deux derniers se dégradent avec la montée en fréquence. Par ailleurs, la réduction des dimensions du MOS n'est pas toujours favorable notamment en ce qui concerne et les règles d'électro-migration sévères. Enfin, la réduction des tensions d'alimentation limitent les performances en particulier pour les amplificateurs de puissance. Par ailleurs, avec la montée en fréquence, les composants passifs (telles que les lignes de propagation) utilisés pour l'adaptation entre les étages engendrent des pertes importantes. Un des enjeux consiste donc à réaliser des composant passifs à fort facteur de qualité afin d'améliorer les performances des fonctions millimétriques. Le chapitre II sera consacré à l'étude de structures de propagation à ondes lentes développées au laboratoire et présentant de forts facteurs de qualité. Les performances des front-end millimétriques en technologie CMOS 65 nm peuvent alors être améliorées en utilisant ces lignes à ondes lentes à la place des lignes TFMS classiques. Des amplificateurs de puissance et un switch d'antenne de type SPDT réalisés dans cette thèse et utilisant ces lignes seront présentés respectivement dans les chapitre III et IV.

Chapitre II: Lignes de propagation à ondes lentes S-CPW

Les lignes de propagation sont des éléments essentiels pour la conception de circuits passifs radiofréquences classiques tels que les adaptateurs d'impédances, diviseurs de puissance ou autres filtres et déphaseurs. De nos jours, les inconvénients principaux des lignes de propagation classiques du type microruban et coplanaire en technologie silicium sont leur encombrement important et leur facteur de qualité modéré. Bien que dans le domaine des fréquences millimétriques, l'occupation surfacique des lignes de propagation soit réduite avec la montée en fréquence, la surface qui leur est allouée reste toujours bien supérieure à celle des éléments actifs. Pour les besoins des circuits intégrés réalisés au cours de nos travaux de thèse, nous avons eu recours à l'utilisation des lignes de propagations à ondes lentes S-CPW dont les performances en terme de facteur de qualité sont nettement supérieures à celles de lignes microruban ou coplanaire.

Dans ce chapitre, le principe de fonctionnement de cette structure de propagation est tout d'abord introduit. Les logiciels de simulations et la méthode d'extraction des paramètres caractéristiques ainsi que la modélisation électrique des lignes S-CPW sont ensuite développés afin de disposer d'outils nécessaires à la comparaison de différentes lignes de propagation dans la même technologie. Les règles d'optimisation des paramètres géométriques sont ensuite présentées. A la fin de ce chapitre, nous mettons l'accent sur les potentialités des lignes à ondes lentes pour la conception des circuits millimétriques.

II.1 Présentation des lignes à ondes lentes S-CPW

II.1.1 Principe

La ligne de propagation à ondes lentes S-CPW est composée d'une ligne CPW classique avec des barreaux métalliques flottants disposés perpendiculairement au sens de propagation et situés à une distance h au-dessous de la ligne CPW, comme présenté à la **Figure II-1**.

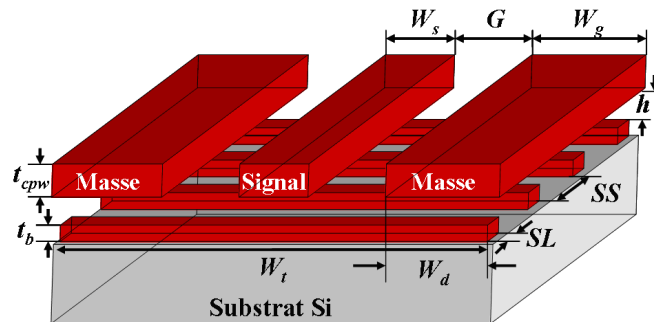


Figure II-1: Schéma d'une ligne S-CPW à topologie classique.

Dans la configuration d'une ligne S-CPW classique, les paramètres géométriques se résument à deux catégories, dont une est liée à la ligne CPW principale et l'autre liée aux barreaux métalliques flottants.

- Paramètres de la ligne CPW principale :
 - W_s : largeur du ruban central
 - G : distance latérale entre le ruban signal et les plans de masse
 - W_g : largeur totale des plans de masse
 - t_{cpw} : épaisseur des conducteurs de la ligne CPW
- Paramètres des barreaux flottants :
 - t_b : épaisseur des barreaux du blindage
 - SL : largeur du barreau vu dans le plan horizontal au sens de propagation
 - SS : espacement entre deux barreaux périodiques voisins
 - h : épaisseur du diélectrique séparant la ligne CPW et les barreaux flottants
 - W_d : recouvrement des barreaux sous les plans de masse
 - W_l : longueur totale du barreau

Cette topologie de guide concentre les lignes de champ électrique entre la ligne CPW supérieure et le réseau de barreaux métalliques à potentiel flottant, comme le montre la **Figure II-2 (a)**. En effet, si l'espace SS des barreaux reste inférieur ou de l'ordre de la hauteur h , ces derniers forment un écran qui empêche la pénétration du champ électrique dans le substrat. De cette manière, une augmentation de la capacité linéique C_l due à l'effet capacitif rajouté entre la ligne CPW et les barreaux flottants est obtenue. Cependant, l'espacement SS laisse passer le champ magnétique vers le substrat (**Figure II-2 (b)**), permettant de conserver la valeur de l'inductance linéique L_l d'une ligne CPW classique.

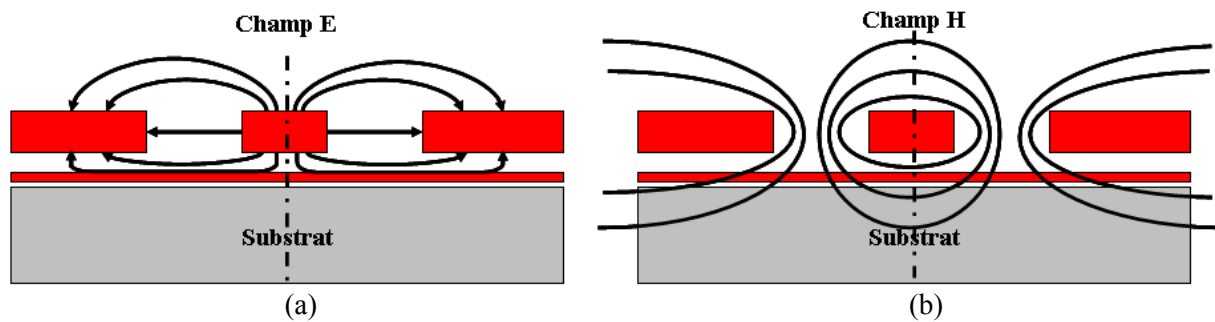


Figure II-2 : Schéma représentatif de répartition des lignes de champ dans une ligne S-CPW. (a) champ électrique, (b) champ magnétique.

Dans ce contexte, la vitesse de phase v_ϕ donnée à l'équation (II-1) est alors réduite pour la ligne S-CPW par rapport à la ligne CPW classique, d'où le nom de ligne à ondes lentes. Ainsi, une forte permittivité relative effective ϵ_{reff} de la ligne est obtenue (II-2) avec pour résultat un facteur de qualité

Q élevé pour ces guides S-CPW puisque Q est proportionnel à la racine carrée de cette permittivité relative effective (cf. équation (I-9) et (I-10)).

$$\nu_\phi = 1/\sqrt{L_l \cdot C_l} \quad (\text{II-1})$$

$$\epsilon_{\text{reff}} = c_0^2 \cdot L_l \cdot C_l \quad (\text{II-2})$$

En pratique, la configuration des lignes à ondes lentes permet d'obtenir des facteurs de qualité Q 2 à 3 fois supérieurs à ceux de lignes de propagation classiques dans la même technologie, comme nous le présenterons dans la suite de ce manuscrit. Cette augmentation de la permittivité relative effective implique par conséquent une augmentation de la constante de propagation β (cf. équation I-9) et entraîne une diminution des longueurs physiques des lignes l pour une longueur électrique θ désirée (II-3).

$$\theta = \beta \cdot l \quad (\text{II-3})$$

Par ailleurs, une large gamme d'impédances caractéristiques réalisables peut être obtenue pour ces lignes (typiquement entre 15Ω et 100Ω), principalement grâce à l'ajustement de la capacité linéique C_l (cf. (I-6)).

La **Figure II-3** correspond à la topologie de ligne à ondes lentes S-CPW que nous avons utilisée dans le cadre de cette thèse. Cette configuration ramène par conséquent deux paramètres supplémentaires liés au blindage latéral : la largeur M des barrières latérales et la distance latérale D entre l'extrémité des doigts métalliques et le blindage.

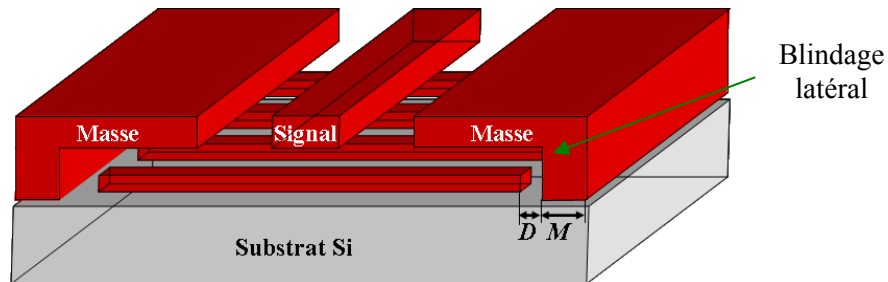


Figure II-3 : Schéma d'une ligne S-CPW avec les murs de blindage.

Le blindage latéral de la ligne CPW sont réalisés en empilant tous les niveaux de métallisation du back-end pour chercher, d'une part, à confiner latéralement les champs électriques et magnétiques dans la structure et, d'autre part, à réduire les pertes conductrices de la ligne CPW. Du point de vue du concepteur de circuits millimétriques, cette structure de ligne S-CPW blindée permet de définir une dimension latérale d'encombrement fixe au-delà de laquelle aucun champ électromagnétique ne va perturber les composants situés à proximité.

II.1.2 État de l'art

La première mise en évidence du phénomène d'ondes lentes sur une ligne microruban classique date du début des années 70 par [Hasegawa, 71]. Ces lignes microruban sont implémentées sur un empilement Si-SiO₂. Les auteurs ont montré l'existence de trois modes dans une telle structure de propagation : le mode quasi-TEM lorsque l'empilement Si-SiO₂ agit comme un diélectrique, le mode d'effet de peau lorsque le substrat agit comme un plan de masse parfait et le mode d'ondes lentes. Dans l'article [Hasegawa, 77], les mêmes auteurs introduisent cet effet d'ondes lentes sur les lignes coplanaires CPW sur substrat GaAs afin de réduire la longueur d'onde dans le milieu de propagation. Le ralentissement d'ondes est réalisé à l'aide de jonctions Schottky ou MIS (Métal-Isolant-Semiconducteur). Les lignes réalisées sont très compactes (réduction des longueurs d'ondes d'un facteur 30), mais les pertes présentes sont relativement importantes.

Les premiers résultats des lignes à ondes lentes implémentées sur un substrat silicium ont été publiés dans [Lee, 99]. Les barreaux, réalisés en poly-silicium dans une technologie CMOS 350 nm, sont soit à potentiel flottant, soit connectés à la masse. Ce travail démontre que l'ajout des barreaux permet à la fois de réduire les pertes par le blindage électrique du substrat et de réduire la longueur d'onde des lignes de propagation.

Avec l'évolution des technologies sur silicium, nous retrouvons dans la littérature un net apport des lignes à ondes lentes S-CPW, en particulier concernant les facteurs de qualité atteints. Quelques résultats récents des lignes S-CPW intégrées en différentes technologies CMOS sont comparés avec ceux des lignes de propagation classiques (CPW et microruban) dans la **Figure II-4**.

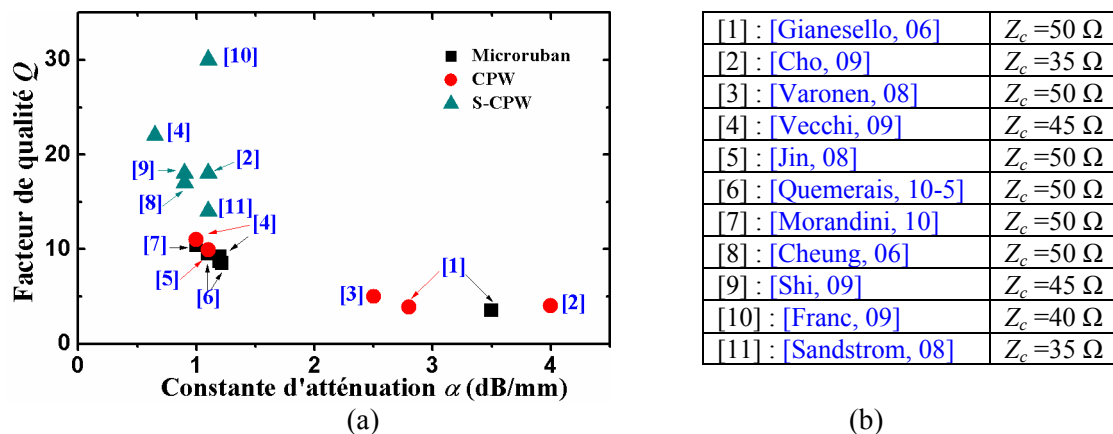


Figure II-4: (a) Comparaison du facteur de qualité en fonction de la constante d'atténuation à 60 GHz pour des structures des lignes classiques et S-CPW dans différentes technologies CMOS avancées. (b) tableau récapitulatif des références avec les impédances caractéristiques Z_c réalisées.

Nous comparons les performances en termes de facteur de qualité et de constante d'atténuation à 60 GHz. Les impédances caractéristiques des lignes classiques présentées sont toutes proches de 50 Ω . Concernant les lignes à ondes lentes S-CPW dans la figure, elles sont généralement optimisées

pour maximiser la permittivité effective, ce qui conduit souvent à des valeurs d'impédances caractéristiques inférieures à 50 Ω .

Pour une impédance caractéristique proche de 50 Ω , des pertes linéiques des lignes S-CPW sont relativement faibles en comparaison avec celles des lignes classiques. Dans [Cheung, 06], [Vecchi, 09] et [Shi, 09], des pertes linéiques inférieures à 0,9 dB/mm ont été mesurées à 60 GHz, conduisant à des facteurs de qualités respectivement de 17, 22 et 18. Cela grâce à l'augmentation de la permittivité relative effective ($\epsilon_{\text{reff}} \approx 8$ pour les trois lignes).

L'intérêt des lignes à ondes lentes en termes de facteur de qualité est donc clairement mis en évidence. Concernant les lignes de propagation classiques, leur facteur de qualité reste faible, de l'ordre de 5 à 10. Les lignes S-CPW, quant à elles, permettent d'obtenir des facteurs de qualité Q bien supérieurs (2 à 3 fois supérieurs). Dans le meilleur des cas, [Franc, 09] mesure à 60 GHz, pour une ligne S-CPW à impédance caractéristique de 40 Ω réalisée en technologie CMOS 0,35 μm , un facteur de qualité supérieur à 30 avec une forte valeur de la permittivité relative de l'ordre de 37.

II.2 Extraction des paramètres caractéristiques

Cette partie est consacrée à l'extraction des paramètres caractéristiques des lignes à ondes lentes tels que l'impédance caractéristique Z_c et l'exposant de propagation γ . Il est important de présenter dans un premier temps les outils de simulation utilisés pour l'étude des structures de propagation.

II.2.1 Outils de simulation

II.2.1.1 Simulation électromagnétique Ansoft HFSS

Afin de réaliser les simulations électromagnétiques des structures de propagations durant ces travaux de thèse, le simulateur commercial 3D HFSS (*High Frequency Structure Simulator*) de la société ANSYS a été utilisé. Ce logiciel est basé sur la méthode des éléments finis qui permet une résolution numérique d'équations à dérivées partielles à travers la discrétisation de la géométrie du système à étudier. Les équations de Maxwell sont alors résolues en différents points du maillage. Ce calcul permet d'obtenir une solution approchée suffisamment fiable lorsque les critères de convergence sont correctement paramétrés. Malheureusement, un espace mémoire important et des temps de calcul particulièrement longs sont associés à ce type de simulateur notamment pour la simulation de structures présentant des facteurs de forme importants comme nous pouvons le rencontrer dans nos structures.

II.2.1.2 Simulation quasi-statique Flux 3D

Pour la modélisation des lignes de propagation à ondes lentes S-CPW, il a également été envisagé de réaliser les simulations à l'aide du logiciel Flux 3D distribué par le Groupe Cédrat. Cet

outil quasi-statique, basé sur la méthode des éléments finis, ne prend pas en compte le courant de déplacement et ne permet donc pas de résoudre des problèmes de propagation. Cependant, compte tenu des dimensions très faibles par rapport à la longueur d'onde des structures que nous avons étudiées, l'approche utilisée par Flux 3D est tout à fait valable. Ce logiciel permet de dissocier les études électriques et magnétiques, et permet d'évaluer les puissances actives et réactives dans chaque volume. Ainsi, des outils de visualisation des champs et des courants permettent d'isoler et d'identifier les différents types de pertes présentes dans les lignes à ondes lentes.

II.2.2 Méthode d'extraction

L'ensemble des lignes de propagation présentées dans ce manuscrit a été caractérisées à l'IMEP-LAHC. La première étape des mesures hyperfréquences en paramètres S consiste à étalonner ou calibrer l'analyseur vectoriel de réseau avant de positionner les sondes de mesure RF. Outre la correction d'erreurs, le calibrage a pour objectif de fixer les plans de référence de mesure au niveau des sondes. La méthode de calibrage de type LRRM (*Line Reflect Reflect Match*) est utilisée grâce à sa précision concernant les mesures en paramètres S jusqu'à 110 GHz [T. Quemerais, 10-3]. Toutefois, les méthodes de calibrage ne permettent pas de corriger les erreurs dues aux éléments parasites d'interconnexion tels que les plots d'accès et lignes d'interconnexion entre les plots et le dispositif sous test. Compte tenu des fréquences de travail et de la taille du dispositif sous test par rapport à celle des plots d'accès, il faut impérativement réaliser une étape de correction des effets parasites afin de remonter aux caractéristiques propres du dispositif sous test, nous parlons de l'approche d'épluchage ou *de-embedding*. Pour minimiser l'impact des plots d'accès de lignes de propagation mesurées dans ce manuscrit, nous employons la méthode de deux lignes développées dans l'article [Mangan, 06]. La correction par cette méthode nécessite deux lignes de propagation de configuration identique mais de longueur différente ($l_1 > l_2$ par exemple). A partir des mesures brutes en paramètres S de ces deux lignes, l'objectif est de calculer la matrice ABCD de la ligne corrigée de longueur ($l_1 - l_2$), cette matrice peut s'écrire ensuite comme :

$$ABCD_{(l_1-l_2)} = \begin{pmatrix} A_{(l_1-l_2)} & B_{(l_1-l_2)} \\ C_{(l_1-l_2)} & D_{(l_1-l_2)} \end{pmatrix} = \begin{pmatrix} \cosh[\gamma(l_1-l_2)] & Z_c \sinh[\gamma(l_1-l_2)] \\ \sinh[\gamma(l_1-l_2)]/Z_c & \cosh[\gamma(l_1-l_2)] \end{pmatrix} \quad (\text{II-4})$$

A partir de la matrice ABCD équivalente calculée, nous pouvons extraire l'impédance caractéristique Z_c et l'exposant de propagation γ aux équations (II-5) et (II-6), respectivement.

$$Z_c = \sqrt{\frac{B_{(l_1-l_2)}}{C_{(l_1-l_2)}}} \quad (\text{II-5})$$

$$\gamma = \frac{\text{arccosh}(A_{(l_1-l_2)})}{(l_1-l_2)} \quad (\text{II-6})$$

Les lignes de propagation conçues dans le cadre de cette thèse ont été réalisées dans trois technologies du fondeur STMicroelectronics: les technologies CMOS 45 nm et 65 nm en substrat standard Bulk et CMOS 65 nm sur substrat SOI. Les dimensions géométriques de l'ensemble des lignes caractérisées sont détaillées dans le **Tableau II-1** placé à la fin du chapitre, récapitulant également leurs performances à 60 GHz.

II.3 Modèle électrique de lignes S-CPW

Compte tenu des nombreux paramètres mis en jeu, il est pertinent de développer un modèle électrique précis de lignes S-CPW, permettant de prédire le comportement d'une ligne de ce type aux dimensions quelconques. Cette section est donc dédiée à la description d'un modèle électrique proposé pour les lignes à ondes lentes S-CPW. De plus, la répartition des pertes d'origines diverses dans la structure d'ondes lentes est étudiée à l'aide de ce modèle électrique.

II.3.1 Description du modèle RLRC

Un modèle électrique de type RLRC a été développé pour les lignes à ondes lentes S-CPW. Ce modèle a initialement été validé à l'aide de l'outil de simulation Flux 3D dans [Franc, 11]. Schématisé sur la **Figure II-5**, ce modèle comporte deux mises en série des éléments physiques.

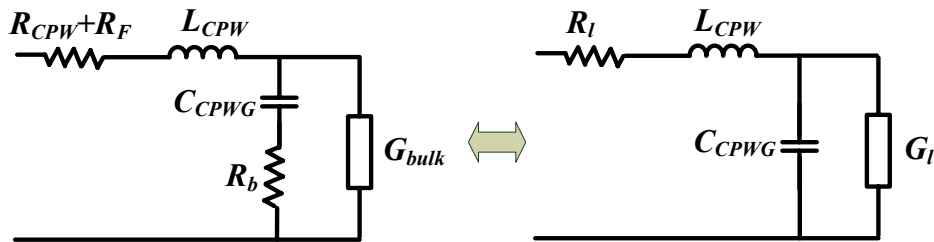


Figure II-5 : Modèle électrique RLRC et son schéma équivalent au modèle RLCG.

Les éléments réactifs dans le modèle correspondent à l'inductance linéique équivalente de la ligne CPW classique L_{CPW} sans barreaux et à la capacité linéique équivalente C_{CPWG} de la ligne CPWG (*Grounded CoPlanar Waveguide*) de même géométrie (les barreaux étant remplacés par un plan de masse plein). L'ensemble des éléments placés en série dans le modèle électrique ($R_{CPW} + R_F$ et L_{CPW}) traduit les différents effets induits par le courant dans la ligne CPW. R_{CPW} et L_{CPW} modélisent respectivement les pertes conductrices dans la ligne CPW et l'effet inductif engendrés par le courant circulant dans la ligne CPW. Ce champ magnétique associé à ce courant est à l'origine des courants de Foucault présents dans les barreaux flottants. Les pertes par effet Joule associées à ces courants de Foucault sont représentées par R_F . L'élément R_b , quant à lui, traduit les pertes conductrices présentes dans les barreaux métalliques. Enfin, la conductance G_{bulk} traduit les pertes diélectriques présentes dans le substrat. Comme nous l'avons publié précédemment [Tang, 12], ces pertes sont négligeables. En effet, l'écran électrique constitué par les barreaux flottants empêche le champ électrique de

pénétrer dans le substrat et les courants de fuite induits par le champ électrique dans le substrat sont alors très négligeables. Par ailleurs, le champ magnétique traversant ce blindage électrique pourrait induire des courants de Foucault dans le substrat. Cependant, la conductivité limitée du silicium fait que ces courants de Foucault sont faibles par rapport à ceux engendrés dans les barreaux comme nous le verrons dans la partie III.4.2 de ce chapitre. Dans le modèle développé, le terme G_{bulk} peut être négligé et définitivement éliminé.

Ce modèle électrique peut être transformé mathématiquement en un modèle classique de type RLGC (voir **Figure II-5**), avec L_{CPW} et C_{CPWG} considérés inchangés dans le modèle équivalent. La résistance linéique R_l est égale à la somme des résistances en série (II-7). La conductance linéique G_l , quant à elle, est obtenue à partir d'un coefficient de transformation Q exprimé à l'équation (II-8). Finalement, la conductance G_l s'écrit alors par la relation (II-9).

$$R_l = R_{CPW} + R_F \quad (\text{II-7})$$

$$Q = \frac{1}{R_b C_{CPWG} \omega} \quad (\text{II-8})$$

$$G_l = \frac{1}{Q^2 R_b} = R_b (C_{CPWG} \omega)^2 \quad (\text{II-9})$$

L'avantage de développer le modèle équivalent de RLGC réside dans la possibilité d'exprimer facilement de façon approximative les paramètres caractéristiques à l'aide de ces équations. En fonction des paramètres modélisés du modèle RLRC, l'impédance caractéristique Z_c , les pertes linéiques α ainsi que la constante de phase β d'une ligne S-CPW s'expriment respectivement dans l'équation (II-10), (II-11) et (II-12).

$$Z_c \approx \sqrt{\frac{L_{CPW}}{C_{CPWG}}} \quad (\text{II-10})$$

$$\alpha \approx \frac{1}{2} \frac{R_l}{Z_c} + \frac{1}{2} G_l Z_c = \frac{1}{2} \frac{(R_{CPW} + R_F)}{\sqrt{L_{CPW}/C_{CPWG}}} + \frac{1}{2} R_b C_{CPWG} \omega^2 \sqrt{L_{CPW} C_{CPWG}} \quad (\text{II-11})$$

$$\beta \approx \omega \sqrt{L_{CPW} C_{CPWG}} \quad (\text{II-12})$$

A partir de l'équation (II-11), il devient possible d'identifier quantitativement toutes les origines de pertes dans une ligne à ondes lentes. Le premier terme de l'équation (II-11) traduit les pertes conductrices de la ligne CPW (i.e. R_{CPW}) et les pertes dues aux courants de Foucault dans les barreaux flottants (i.e. R_F). Le second terme représente les pertes conductrices dans les barreaux (i.e. R_b), qui sont d'autant plus importantes que la fréquence est élevée. D'ailleurs, remarquons que les pertes conductrices dans les barreaux évoluant en $C_{CPWG}^{3/2}$. Ces pertes peuvent devenir grandes pour des barreaux fins (R_b grand) et pour un fort effet d'ondes lentes (C_{CPWG} élevé). Nous verrons ce phénomène dans la partie II.4.2 et II.5.2.

L'extraction des paramètres du modèle électrique équivalent est précisée dans [Franc, 12]. La **Figure II-6** illustre la topologie utilisée pour l'excitation électrique (a) et magnétique (b) lors des simulations d'une ligne S-CPW sous Flux 3D.

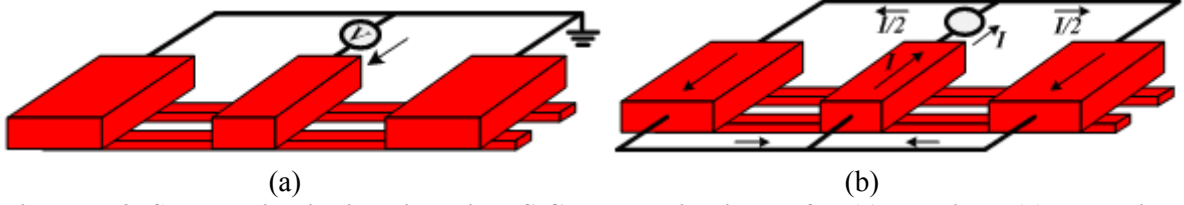


Figure II-6 : Schéma d'excitation d'une ligne S-CPW avec l'outil Flux 3D. (a) électrique, (b) magnétique.

La simulation électrique permet d'obtenir une impédance équivalente Z_{elec} (II-13) pour une tension V d'excitation, Q_s représentant l'énergie stockée dans la ligne centrale. De même, la simulation magnétique permet d'obtenir une impédance équivalente Z_{mag} (II-14) pour un courant I donné. Les paramètres en parallèle du modèle (C_{CPWG} et R_b) peuvent donc être extraits respectivement par les formules (II-15) et (II-16). De la même manière, l'extraction des paramètres en série du modèle ($R_{CPW} + R_F$ et L_{CPW}) se fait à partir d'une simulation magnétique en imposant un courant I (II-14). Ce courant est ensuite utilisé dans (II-17) pour calculer la résistance R_{CPW} en connaissant les puissances dissipées par effet Joule P_{CPW} dans la ligne principale CPW, cela permet d'identifier R_F par (II-14) et (II-17).

$$Z_{elec} = \frac{V}{j\omega Q_s} = R_b + \frac{1}{jC_{CPWG}\omega} \quad (\text{II-13})$$

$$Z_{mag} = \frac{V}{I} = R_{CPW} + R_F + jL_{CPW}\omega \quad (\text{II-14})$$

$$C_{CPWG} = \frac{real(Q_s)^2 + imag(Q_s)^2}{V \cdot real(Q_s)} \approx \frac{real(Q_s)}{V} \quad (\text{II-15})$$

$$R_b = \frac{V \cdot imag(Q_s)}{\omega [real(Q_s)^2 + imag(Q_s)^2]} \approx \frac{V \cdot imag(Q_s)}{\omega \cdot real(Q_s)^2} \quad (\text{II-16})$$

$$R_{CPW} = \frac{P_{CPW}}{I^2} \quad (\text{II-17})$$

II.3.2 Validation du modèle équivalent

Sur la **Figure II-7**, le modèle équivalent établi par le logiciel Flux 3D et les simulations électromagnétiques par l'outil HFSS sont comparés aux paramètres caractéristiques mesurés pour trois lignes S-CPW réalisées : les lignes SCPW1 et SCPW4 en technologie CMOS 65 nm SOI utilisant une topologie classique et la ligne SCPW9 en CMOS 65 nm employant la topologie blindée (cf. **Tableau II-1**).

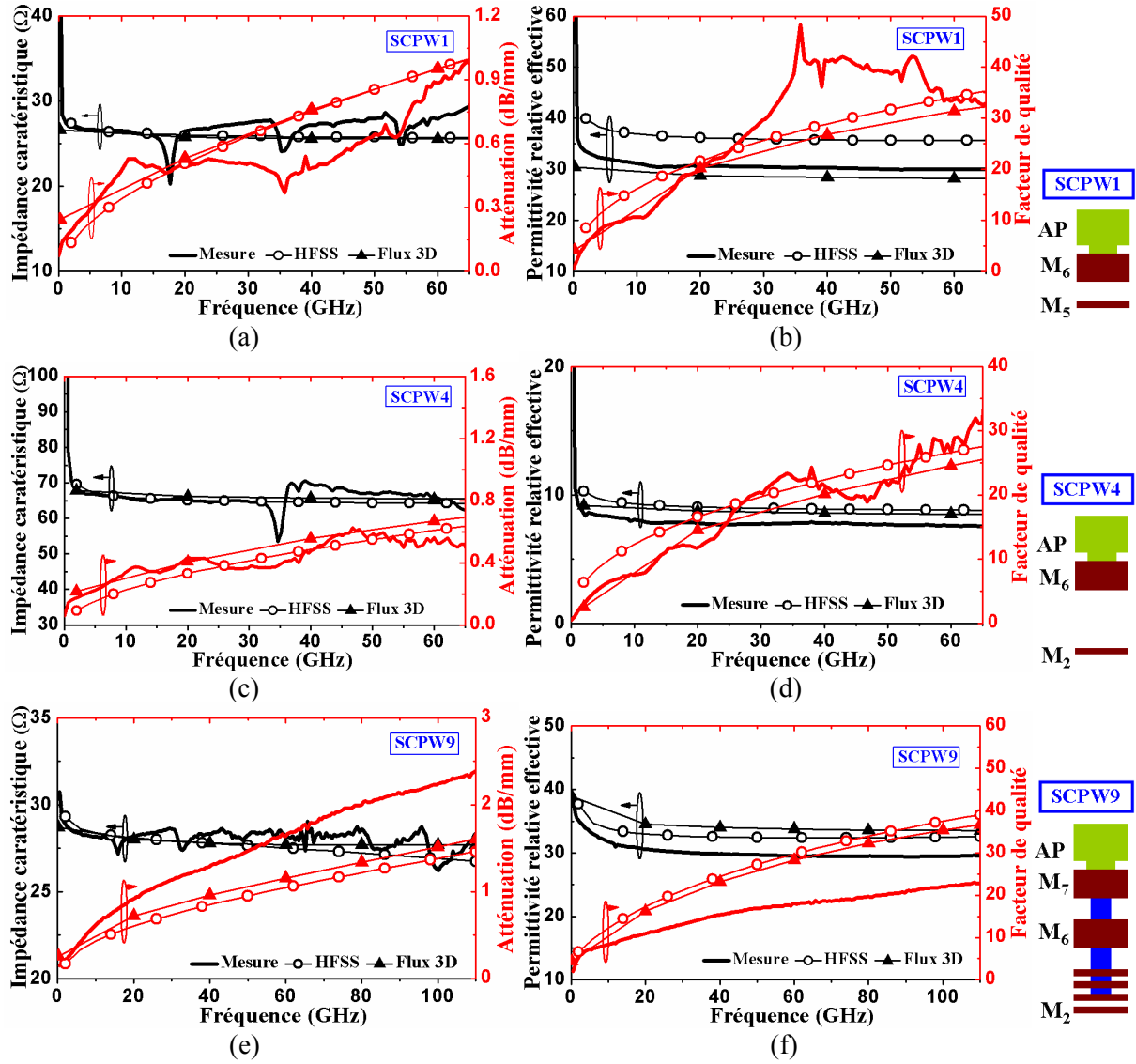


Figure II-7 : Comparaison des résultats de mesure, de simulation par logiciel HFSS et Flux 3D pour les lignes SCPW1 et SCPW9. (a) Z_c et α de SCPW1, (b) ϵ_{eff} et Q de SCPW1, (c) Z_c et α de SCPW4, (d) ϵ_{eff} et Q de SCPW4, (e) Z_c et α de SCPW9, (f) ϵ_{eff} et Q de SCPW9.

Notons tout d'abord le bon accord entre les simulations électromagnétiques et simulations quasi-statiques. Concernant l'impédance caractéristique et la permittivité relative effective, les simulations électromagnétiques comme les simulations quasi-statiques sont en bon accord avec les mesures. Les nombreuses discontinuités sur la mesure de l'impédance caractéristique des lignes correspondent aux fréquences de résonance de la ligne équivalente de longueur égale à l_1-l_2 . Concernant la constante d'atténuation, il faut noter que les deux types de simulations sont en accord entre elles mais sont assez éloignées de la mesure dans le cas de la ligne SCPW9. Ceci est a priori dû aux simplifications de dessin des structures simulées. En effet, afin de réduire les temps de calculs, la ligne CPW principale, lorsqu'elle était constituée de plusieurs niveaux de métal, un seul métal équivalent était considéré en simulation. Ainsi, nous pensons que des effets de proximité pourraient

être à l'origine de cette différence entre mesures et simulations. Malheureusement, cette étude n'a pas pu encore être réalisée.

II.4 Comparaison de lignes S-CPW et CPW sur substrat SOI : mise en évidence des pertes

La partie qui suit est destinée, d'une part, à la mise en évidence de l'intérêt des lignes à ondes lentes par rapport aux lignes CPW classiques sur un substrat SOI dans la bande millimétrique, et d'autre part, à une étude analysant la répartition des pertes dans une structure S-CPW.

Pour obtenir le phénomène d'ondes lentes avec les lignes S-CPW, l'insertion de barreaux métalliques entre la ligne CPW et le substrat silicium est nécessaire. En technologie SOI, l'ajout de ces barreaux métalliques doit avoir tendance à dégrader les pertes linéiques par rapport aux lignes CPW classiques. En effet, les pertes diélectriques sont faibles pour une ligne CPW classique sur le substrat SOI à haute résistivité ($\rho = 1 \sim 3 \text{ k}\Omega\cdot\text{cm}$). Par ailleurs, des pertes par courant de Foucault et par conduction apparaissent simultanément dans les barreaux flottants. La combinaison de ces deux effets engendre des pertes linéiques dans les lignes S-CPW, a priori, supérieures par rapport à celles des lignes CPW de la même géométrie et réalisées dans la même technologie.

Cette étude sur le substrat SOI à haute résistivité va montrer que ces prédictions ne sont pas vérifiées. En effet, les performances des lignes S-CPW restent meilleures que celles des lignes CPW pour une même impédance caractéristique. Ensuite, une étude faisant varier la longueur des barreaux flottant sur deux types de substrats (substrat SOI et Bulk) va permettre de mettre en évidence les différents types de pertes présentes dans les lignes à ondes lentes.

II.4.1 Lignes sur substrat à haute résistivité : S-CPW versus CPW

Dans le cadre de collaboration avec l'équipe de recherche LETI au sein du CEA, plusieurs lignes S-CPW ont été implémentées et mesurées en technologie CMOS 65 nm SOI, puis comparées aux lignes CPW pré-caractérisées de la même technologie (cf. **Tableau II-1**).

Les performances caractéristiques mesurées des lignes S-CPW conçues dans une technologie CMOS 65 nm HR-SOI sont comparées aux lignes coplanaires sur la **Figure II-8**. L'ensemble des lignes CPW, dont les résultats de CPW3 et CPW4 ont été publiés dans [Siligaris, 07], a été optimisé et caractérisé au sein du LETI. Seules les performances à 60 GHz pour les lignes CPW3 et CPW4 sont indiquées sur la **Figure II-8**. Il est envisageable de comparer ces lignes dans le cas d'une impédance caractéristique faible de 28Ω (SCPW1 et CPW1) et dans le cas d'une impédance élevée de 65Ω (SCPW4 et CPW2). Les lignes SCPW1 et SCPW4 sont celles dont les mesures et simulations ont été présentées dans le paragraphe II.3.2.

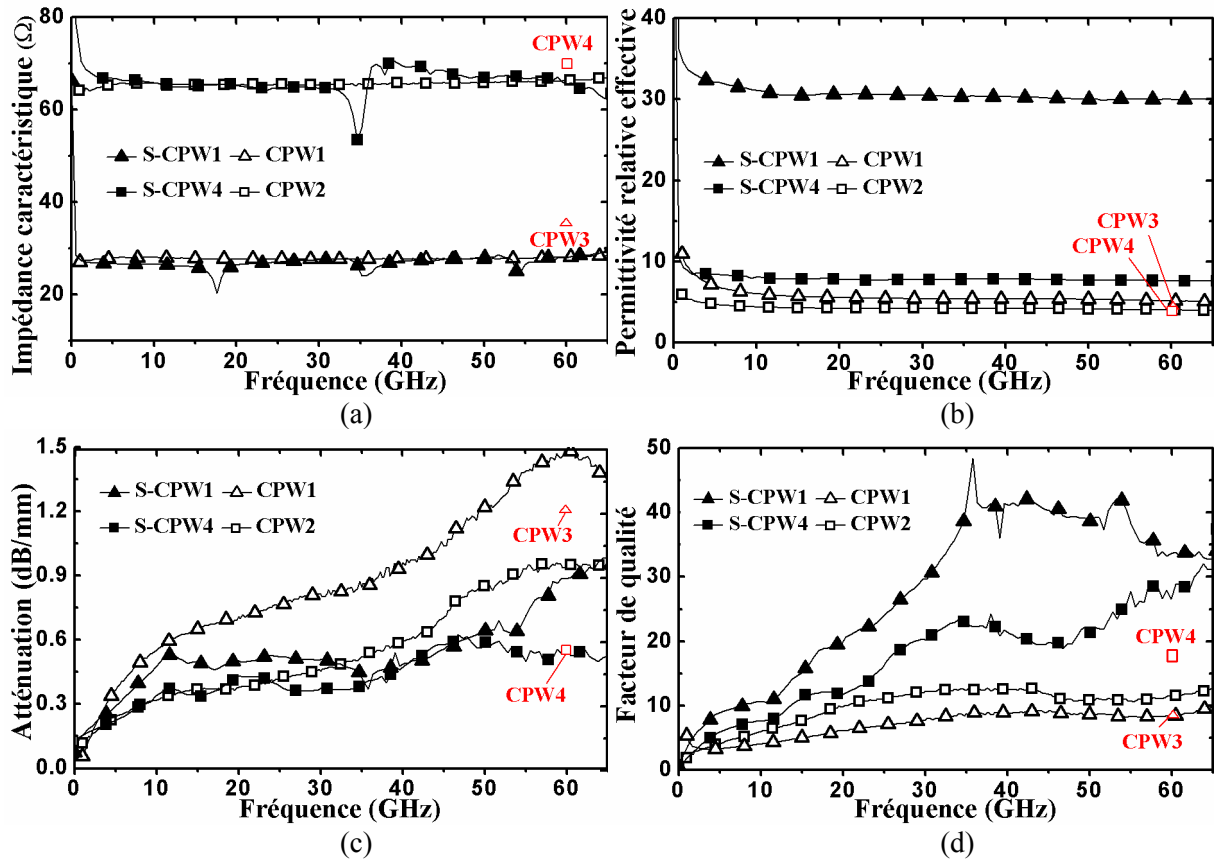


Figure II-8 : Comparaison des performances mesurées des lignes S-CPW avec les lignes CPW en technologie CMOS 65 nm SOI sur (a) Z_c , (b) ϵ_{eff} , (c) α , et (d) Q .

Contrairement à ce qui pouvait être attendu, les pertes linéiques des lignes S-CPW sont plus faibles pour les lignes à ondes lentes par rapport aux lignes CPW classiques, et cela, quelque soit l'impédance caractéristique recherchée : environ 0,6 dB/mm (SCPW4) contre 0,95 dB/mm (CPW2) pour les lignes d'impédance caractéristique de 65 Ω et 0,9 dB/mm (SCPW1) contre 1,5 dB/mm (CPW1) pour les lignes d'impédance caractéristique de 28 Ω . En effet, une ligne CPW classique à impédance caractéristique élevée (ligne CPW2 par exemple), nécessite soit un grand espacement G conduisant à un encombrement latéral élevé, soit un conducteur central W_s étroit engendrant des pertes conductrices importantes dans celui-ci. D'une façon similaire, l'espacement latéral G doit être réduit afin de réaliser une ligne CPW à faible impédance caractéristique (CPW1) et d'encombrement latéral raisonnable. Dans ce cas, l'espacement faible G induit des pertes importantes liées aux effets de proximité entre les plans de masse et le ruban central.

Des valeurs de permittivité relative effective comprises entre 8 (SCPW4) et 30 (SCPW1) sont obtenues pour les lignes à ondes lentes alors que pour les lignes CPW, les permittivités demeurent faibles (de l'ordre de 4 ~ 5). D'une manière générale, le facteur de qualité des lignes à ondes lentes est donc bien meilleur que celui des lignes CPW classiques en technologie silicium à haute résistivité.

II.4.2 Répartition des pertes dans une ligne S-CPW

Dans la configuration d'une ligne S-CPW, il existe trois types de pertes : les pertes résistives dans la ligne principale CPW, les pertes dans les barreaux par courant de Foucault, les pertes dans les barreaux par conduction, et les pertes dans les substrats. Les pertes dans le substrat sont négligeables lorsque les barreaux écrantent entièrement les plans de masse (c'est-à-dire lorsque $W_d = W_g$). Dans le cas d'un blindage moins efficace du substrat à pertes par les barreaux flottants ($W_d < W_g$), la réduction de la longueur de ces derniers fait apparaître des pertes dans le substrat. Cette étude est donc basée sur la variation de la longueur totale des barreaux de blindage W_t et donc de l'écrantage du champ électrique par rapport au substrat sur substrat SOI et Bulk.

Pour simplification, nous avons adopté une configuration classique (i.e. sans barrière de blindage latérale). Les simulations électromagnétiques avec HFSS sont faites pour une ligne ayant les dimensions suivantes : $W_s = 17 \mu\text{m}$, $G = 20 \mu\text{m}$, $W_d = W_g = 15 \mu\text{m}$, $h = 0,6 \mu\text{m}$, $t_{cpw} = 2,1 \mu\text{m}$, $SL = 0,1 \mu\text{m}$ et $SS = 0,55 \mu\text{m}$, conduisant à une longueur totale de ligne principale CPW de $87 \mu\text{m}$. Ensuite, nous avons fait varier la longueur des barreaux W_t allant de $0 \mu\text{m}$ (équivalent à une ligne CPW classique) à $127 \mu\text{m}$ (valeur très supérieure à la dimension latérale de CPW). Les performances électriques simulées à 60 GHz de ces lignes S-CPW en technologie CMOS Bulk et HR-SOI 65 nm sont montrées **Figure II-9**. En pratique, seules deux lignes S-CPW en substrat SOI sont réalisées avec cette configuration : SCPW1 ($W_t = 87 \mu\text{m}$) et SCPW2 ($W_t = 61 \mu\text{m}$). Leurs performances électriques mesurées à 60 GHz sont montrées **Figure II-9**.

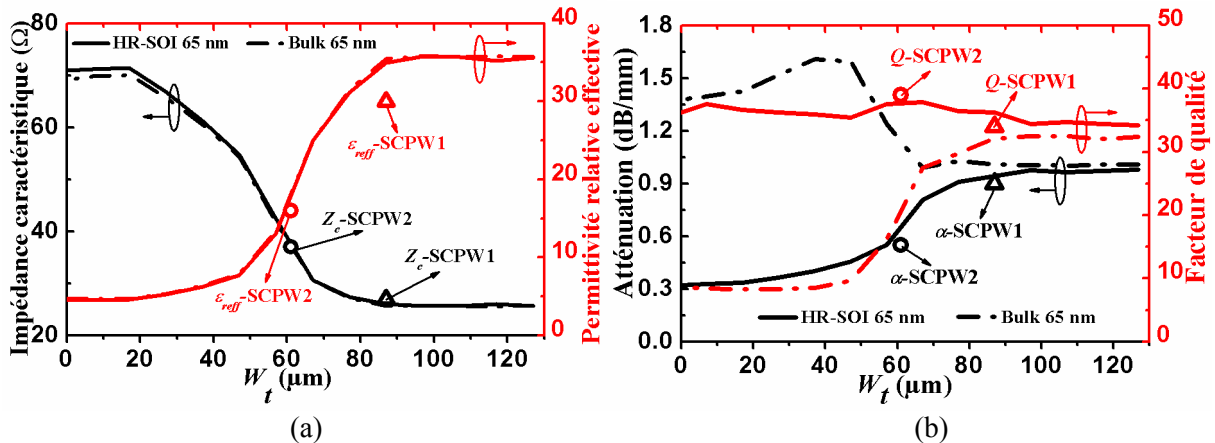


Figure II-9 : Performances simulées à 60 GHz en technologie CMOS Bulk et HR-SOI 65 nm pour les lignes S-CPW dont la longueur des barreaux varie et performances mesurées en HR-SOI de lignes SCPW1 et SCPW2. (a) Z_c et ϵ_{reff} , (b) α et Q .

Les mesures et les simulations des deux lignes réalisées sont en bon accord, dans le pire des cas pour $\epsilon_{reff-SCPW1}$, l'écart est inférieur à 10 %. Cela permet à la fois de valider l'outil et la méthode de simulation. Puis, peu de différence des performances en termes d'impédance caractéristique et de permittivité relative effective pour les deux substrats (voir **Figure II-9 (a)**) est observée, traduisant leur indépendance par rapport à la résistivité du substrat.

Lorsque la longueur des barreaux augmente, la permittivité relative effective croît et l'impédance caractéristique diminue à cause d'un couplage capacitif croissant entre la ligne CPW et les barreaux. Pour des barreaux de longueur supérieure à la longueur totale de la ligne CPW (entre $87\ \mu\text{m}$ et $127\ \mu\text{m}$), le couplage n'est plus modifié par l'extension des barreaux, c'est pourquoi les deux paramètres se stabilisent. Cela est aussi vérifié dans la **Figure II-9 (b)** concernant la constante d'atténuation et le facteur de qualité. Lorsque la longueur des barreaux est très petite devant la longueur de ligne CPW ($W_t \ll 20\ \mu\text{m}$), l'effet d'ondes lentes ne peut être établi.

Nous nous intéressons en particulier aux pertes linéiques existant dans la structure et dans le substrat. Les différentes simulations de la **Figure II-10** permettent d'expliquer la répartition des pertes et cela en fonction de différentes longueurs des barreaux pour des substrats standard Bulk et HR-SOI.

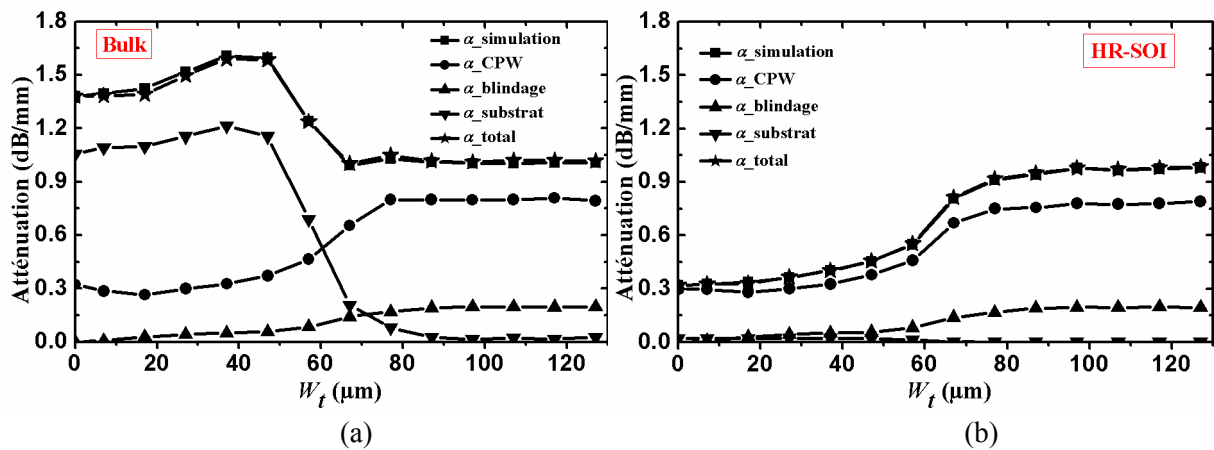


Figure II-10 : Répartition des pertes à 60 GHz en fonction de différentes longueurs des barreaux pour un substrat (a) Bulk, (b) HR-SOI.

Les termes α_{CPW} , α_{blindage} et α_{substrat} représentent respectivement les pertes conductrices dans la ligne CPW, les pertes dans les barreaux de blindage (que ce soit d'origine conductrice ou par courants de Foucault) et les pertes dans le substrat. Le paramètre α_{total} est la somme de ces trois termes et lorsque tous les types de pertes d'une ligne S-CPW sont pris en compte dans la simulation, nous parlerons du terme $\alpha_{\text{simulation}}$.

Tout d'abord, la superposition des courbes α_{total} et $\alpha_{\text{simulation}}$ révèle le caractère non-corrélé de chaque contribution de pertes (CPW, blindage et substrat), permettant d'identifier correctement chacune de ces origines. Puis, pour les deux substrats, les pertes dans la ligne CPW et dans les barreaux métalliques sont identiques, ce qui est normal puisqu'elles ne sont pas censées être affectées par le substrat. La seule différence réside dans les pertes dans le substrat : les pertes dans le substrat HR-SOI sont quasiment nulles grâce à sa résistivité élevée, alors que ces pertes deviennent majoritaires aux pertes totales dans les cas des barreaux courts dans un substrat Bulk à pertes. Par exemple, α_{substrat} s'élève à $1,05\ \text{dB/mm}$ sans barreaux de blindage ($W_t = 0$) pour le substrat Bulk.

Cette constante d'atténuation commence à se réduire lorsque la longueur W_t augmente jusqu'à une valeur de l'ordre de $W_s + 2G$. En effet, pour les barreaux suffisamment longs, les champs électriques ne pénètrent plus dans le substrat. Les pertes diélectriques α_{substrat} sont alors quasi-nulles. Cette observation permet de démontrer que les pertes dans le substrat Bulk à faible résistivité sont essentiellement générées par les champs électriques, et pas par des pertes par courant de Foucault induits par les champs magnétiques. En effet, contrairement aux champs électriques (confinés dans l'interface ligne CPW/barreaux flottants), les champs magnétiques pénètrent dans le substrat quelque que soit la longueur des barreaux. Ainsi, dans le cas de barreaux très longs, l'absence de pertes α_{substrat} reflète bien l'absence de pertes par courant de Foucault dans le substrat.

Dans les cas des barreaux longs, les pertes totales sont majoritairement dues aux pertes conductrices de la ligne CPW. Ces pertes conductrices peuvent être modélisées par une résistance équivalente de 4,65 k Ω /m, la comparaison des valeurs simulées α_{CPW} et calculées α_{CPW}^* , correspondant à cette résistance, est montrée sur la **Figure II-11**. Un très bon accord est obtenu par cette modélisation.

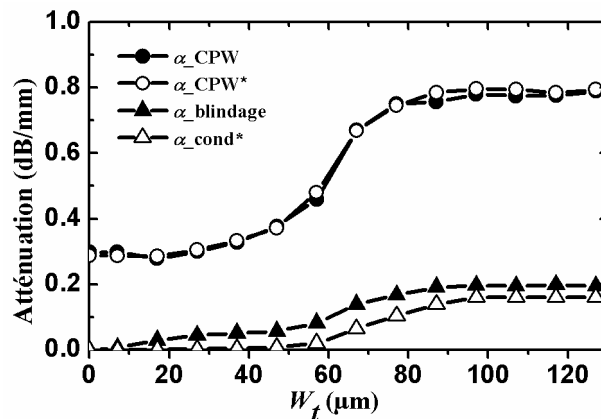


Figure II-11 : Comparaison des pertes linéiques simulées et calculées à 60 GHz dans la ligne CPW et dans les barreaux de blindage.

En considérant le schéma équivalent d'une ligne S-CPW illustré à la **Figure I-12**, la résistance linéique équivalente du blindage R_b (en Ω /m) peut être calculée approximativement à partir de la résistance série d'un barreau R_{doigt} par l'équation (II-18), avec ρ la résistivité du barreau métallique.

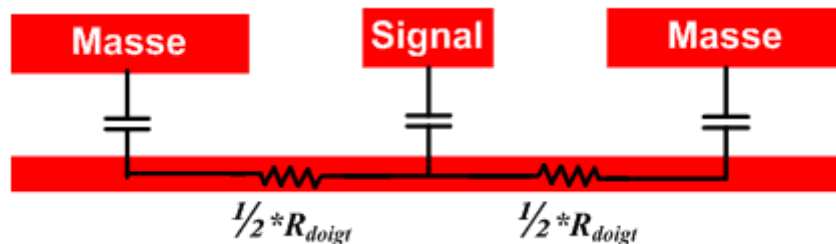


Figure II-12 : Schéma électrique équivalent en coupe d'une ligne S-CPW.

$$R_b = \frac{1}{4} \rho \frac{W_t}{SL \cdot t_b} \cdot (SL + SS) \quad (\text{II-18})$$

Les pertes conductrices dans les barreaux en fonction de la longueur W_t (α_{cond}^*) sont identifiées à la **Figure II-11** et comparées aux pertes totales présentes dans les barreaux α -blindage. La différence entre α_{blindage} et α_{cond}^* correspond donc aux pertes par courants de Foucault dans les barreaux flottants. Dans ce cas, les pertes conductrices dans les barreaux flottants deviennent relativement grandes. Nous verrons dans la partie II.5.2 la proportion des pertes conductrices et par courants de Foucault dans les barreaux à partir de simulations effectuées sous Flux 3D permettant d'identifier de façon plus précise chacune des pertes.

II.5 Règles d'optimisation des lignes S-CPW intégrées sur silicium

Afin de bien comprendre le mécanisme de fonctionnement des lignes à ondes lentes, il est important d'étudier individuellement l'impact sur les performances électriques des différents paramètres géométriques mis en jeu. Dans les paragraphes suivants, outre les règles d'optimisation des lignes S-CPW classiques qui seront rappelées (cf. [Franc, 11]) dans ce chapitre, nous présenterons des études paramétriques qui permettront de mettre en évidence l'influence des paramètres supplémentaires dans le cas d'une topologie blindée : la largeur M des barrières latérales et la distance latérale D . Dans l'ensemble de l'étude paramétrique, la ligne de référence est SCPW1 avec les dimensions suivantes : $W_s = 17 \mu\text{m}$, $G = 20 \mu\text{m}$, $W_d = W_g = 40 \mu\text{m}$, $h = 0,6 \mu\text{m}$, $SL = 0,1 \mu\text{m}$, $SS = 0,55 \mu\text{m}$, $t_{cpw} = 2,1 \mu\text{m}$, $t_b = 0,22 \mu\text{m}$.

II.5.1 Dimensions géométriques de la ligne principale CPW

II.5.1.1 Paramètres conventionnels

Dans cette section, l'impact des paramètres conventionnels (W_s , G , W_g et t_{cpw}) concernant la ligne principale CPW est étudié.

II.5.1.1.1 Largeur du ruban central W_s et espacement G

Sur la **Figure II-13**, les paramètres caractéristiques, tels que l'impédance caractéristique, la permittivité relative effective, la constante d'atténuation et le facteur de qualité, sont extraits à 60 GHz en fonction de la largeur du ruban central évoluant entre 5 et 20 μm (5, 10, 12, 15 et 20 μm) pour différentes valeurs de l'espacement G comprises entre 5 et 20 μm (5, 10, 12, 15 et 20 μm), toutes les autres dimensions demeurant inchangées.

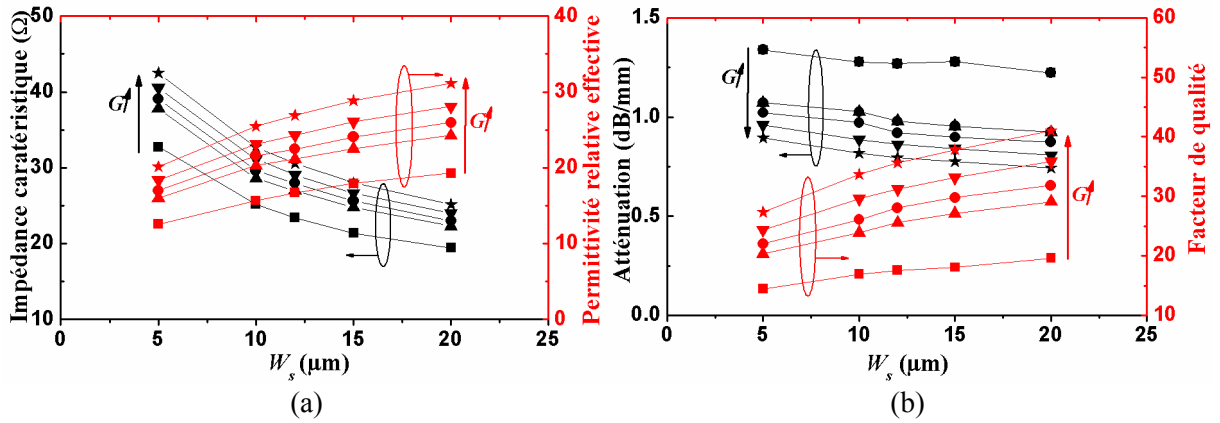


Figure II-13 : Evolution des paramètres caractéristiques à 60 GHz en fonction des largeurs du ruban central W_s pour un espacement signal-masse G donné. (a) Z_c et ϵ_{eff} , (b) α et Q . (Lignes S-CPW à topologie classique: $W_d = W_g = 15 \mu\text{m}$, $h = 0,6 \mu\text{m}$, $SL = 0,1 \mu\text{m}$, $SS = 0,55 \mu\text{m}$, $t_{\text{cpw}} = 2,1 \mu\text{m}$, $t_b = 0,22 \mu\text{m}$)

La largeur G étant fixée, l'augmentation de la largeur W_s du ruban central entraîne une augmentation de la surface de couplage entre la ligne CPW et les barreaux métalliques inférieurs (i.e. augmentation de C_{CPWG}), ce qui explique l'augmentation de la permittivité relative effective et la diminution de l'impédance caractéristique. Concernant le coefficient d'atténuation α , il est d'autant plus faible que la largeur du ruban central est grande, ce qui est principalement dû à la réduction de la résistance linéique R_{CPW} de la ligne CPW et à l'augmentation de C_{CPWG} (cf. équation (II-11)).

Concernant les topologies de lignes S-CPW étudiées, les barreaux flottants sont situés à une distance de la ligne CPW h faible devant le gap G , conduisant à une prédominance du couplage capacitif entre le signal et les barreaux flottants par rapport à celui de la ligne CPW seule. En effet, nous observons que lorsque le gap G s'accroît (à largeur du ruban central constante), la capacité linéique C_{CPWG} n'est quasiment pas changée alors que l'inductance linéique L_{CPW} augmente dû à l'augmentation du flux magnétique. C'est pourquoi l'impédance caractéristique et la permittivité relative effective sont d'autant plus importantes que le gap G est élevé. La miniaturisation longitudinale des lignes de propagation est alors due à cette augmentation de la permittivité relative effective qui induit un effet d'ondes lentes dans la structure.

Les facteurs de qualité sont d'autant plus élevés que les dimensions de W_s et G sont grandes. En effet, l'augmentation du facteur de qualité résulte de l'augmentation de la permittivité relative effective et de la décroissance de la constante d'atténuation. Par contre, ces facteurs de qualités élevés sont obtenus au détriment de l'encombrement latéral de la ligne à ondes lentes.

II.5.1.1.2 Largeur des plans de masse W_g

Afin de limiter les dimensions latérales des lignes S-CPW, il est pertinent de chercher à optimiser la largeur des plans de masse W_g sans dégrader les performances. Pour ce faire, nous faisons

varier cette largeur W_g entre 10 et 40 μm pour une topologie de ligne S-CPW dont les dimensions W_s et G valent respectivement 17 et 20 μm . La **Figure II-14** présente les performances obtenues à 60 GHz.

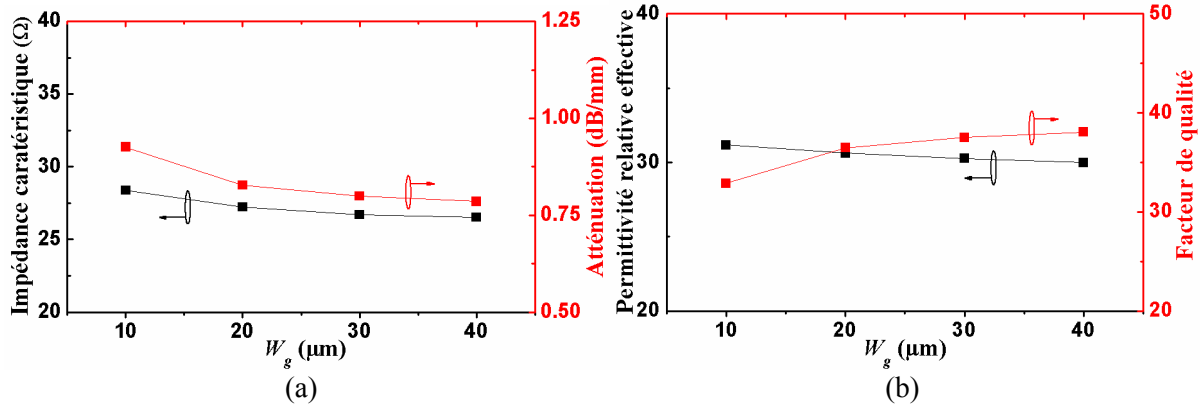


Figure II-14 : (a) Z_c et α , (b) ϵ_{eff} et Q à 60 GHz en fonction de la largeur des plans de masse.
(Lignes à topologie classique : $W_s = 17 \mu\text{m}$, $G = 20 \mu\text{m}$, $W_d = 15 \mu\text{m}$, $h = 0,6 \mu\text{m}$, $SL = 0,1 \mu\text{m}$, $SS = 0,55 \mu\text{m}$, $t_{\text{cpw}} = 2,1 \mu\text{m}$, $t_b = 0,22 \mu\text{m}$)

Lorsque la largeur W_g diminue, l'effet capacitif entre les plans de masse et les barreaux flottants est réduit, ce qui explique la diminution de la permittivité relative effective [Franc, 11]. Dans le cas présent, ces simulations montrent qu'un large W_g de 20 μm permet de conserver des paramètres électriques proches de ceux obtenus pour une structure présentant des plans de masse très grands (écart entre $W_{g_20 \mu\text{m}}$ et $W_{g_ \infty}$ de 6,7 % pour Z_c , et de 3,5 % pour ϵ_{eff}). Par ailleurs, les pertes ne sont quasiment plus affectées lorsque W_g est supérieur à 20 μm . En pratique, afin de minimiser les dimensions latérales des lignes S-CPW, nous considérerons dans cette thèse des plans de masse de l'ordre de 20 μm .

II.5.1.1.3 Epaisseur des métaux t_{cpw}

L'épaisseur t_{cpw} des métaux réalisant la ligne CPW a un impact faible sur l'inductance et la capacité linéiques équivalentes et donc sur l'impédance caractéristique et la permittivité relative effective [Franc, 11]. Concernant les pertes linéiques, les pertes conductrices de la ligne CPW sont d'autant plus faibles que l'épaisseur des métaux est grande, grâce à une diminution de la résistance linéique équivalente. Ces pertes conductrices peuvent être quantitativement identifiées à l'aide de l'outil Flux 3D, permettant de calculer des pertes par effet de Joule dans chaque conducteur de la structure simulée.

Les puissances linéiques dissipées par effet Joule dans la ligne CPW sont présentées sur la **Figure II-15**, où la longueur des conducteurs choisie correspond à une période de la ligne S-CPW et la ligne est excitée par une source d'un ampère. L'épaisseur des métaux varie entre 0,3 et 5 μm .

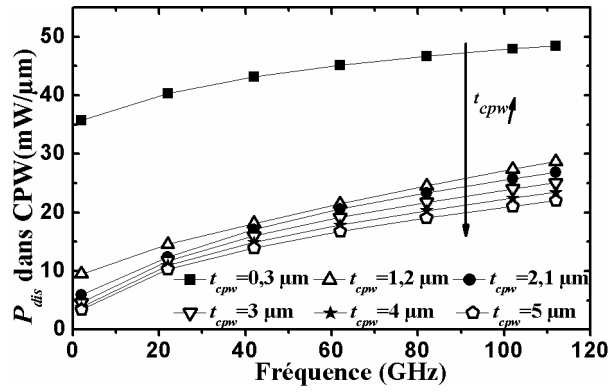


Figure II-15 : Puissances dissipées dans les conducteurs CPW pour une section périodique de ligne S-CPW par une source d'un ampère. (Lignes S-CPW à topologie classique dont t_{cpw} varie et $W_s = 17 \mu m$, $G = 20 \mu m$, $W_d = W_g = 15 \mu m$, $h = 0,6 \mu m$, $SL = 0,1 \mu m$, $SS = 0,55 \mu m$, $t_b = 0,22 \mu m$)

Les pertes conductrices dans la ligne coplanaire (R_{CPW}) évoluent en racine de la fréquence, ce qui est lié directement à l'effet de peau. L'épaisseur de peau d'un conducteur δ est déterminée à partir de l'équation (II-19) avec σ la conductivité, μ la perméabilité du matériau et f la fréquence. Dans notre cas de simulation, l'épaisseur de peau calculée à 60 GHz est de $0,32 \mu m$.

$$\delta = \frac{1}{\sqrt{\pi \sigma \mu f}} \quad (II-19)$$

La **Figure II-15** met en évidence, de manière triviale, que pour une fréquence donnée, les pertes de la ligne CPW augmentent lorsque l'épaisseur des métaux diminue. Cette évolution est peu marquée tant que l'épaisseur t_{cpw} est grande devant l'effet de peau. Lorsque cette épaisseur devient de l'ordre de grandeur de δ , la puissance dissipée dans la ligne CPW est très importante. Cette évaluation précise des pertes nous permet de conclure que des métaux épais ($t_{cpw} > \delta$) au niveau de la ligne CPW sont nécessaires pour minimiser les pertes et que l'utilisation d'une épaisseur très supérieure à l'épaisseur de peau ($5 \mu m$ dans la figure par exemple) n'apporterait peu d'amélioration aux pertes.

II.5.1.2 Effet des murs de blindage : D et M

Par rapport à la topologie classique, seuls les murs latéraux de blindage sont ajoutés pour les lignes S-CPW blindées (voir **Figure II-3**), introduisant deux nouveaux paramètres d'optimisation cités précédemment : la largeur M des barrières latérales et l'écartement latéral D . L'objectif de cette étude est de déterminer leurs dimensions minimales (D_{min} et M_{min}) au-delà desquelles l'impact des murs de blindage sur les paramètres électriques de la ligne devient négligeable.

L'influence conjointe de ces deux paramètres sur les performances critiques d'une ligne S-CPW est identifiée sur la **Figure II-16**, où l'espacement latéral D varie de 1 à $10 \mu m$ pour les largeurs des barrières allant de 3 à $90 \mu m$. Le recouvrement des barreaux flottants sous les plans de masse est de $15 \mu m$.

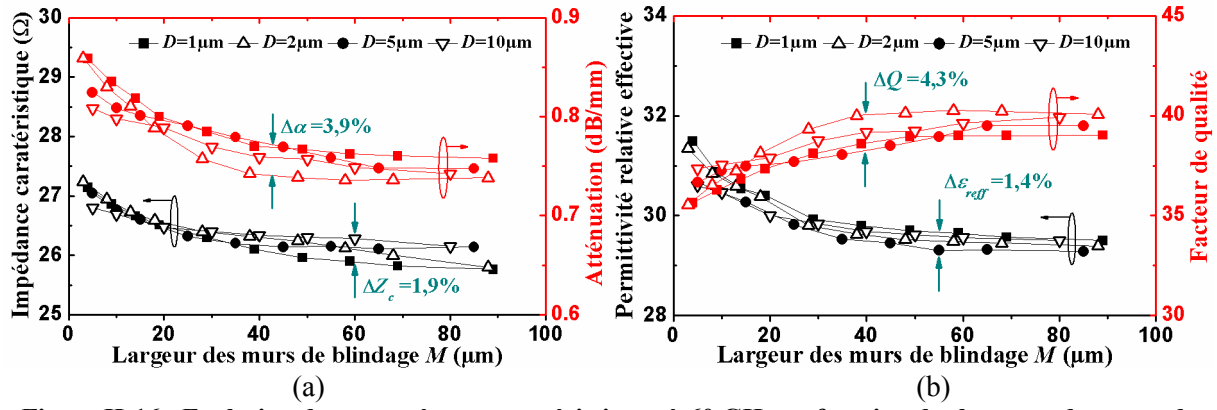


Figure II-16 : Evolution des paramètres caractéristiques à 60 GHz en fonction des largeurs des murs de blindage pour S-CPW blindées dont le paramètre D varie. (a) Z_c et α , (b) ϵ_{reff} et Q . ($W_s = 17 \mu\text{m}$, $G = 20 \mu\text{m}$, $W_a = 15 \mu\text{m}$, $h = 0,6 \mu\text{m}$, $SL = 0,1 \mu\text{m}$, $SS = 0,55 \mu\text{m}$, $t_{\text{cpw}} = 2,1 \mu\text{m}$, $t_b = 0,22 \mu\text{m}$)

Remarquons que la topologie classique S-CPW correspond à une valeur de $M = 0 \mu\text{m}$ (c'est-à-dire sans murs de blindage). Nous pouvons remarquer que la variation de ces paramètres caractéristiques en fonction de D n'est pas monotone. Ceci est lié principalement à la précision de calcul numérique du logiciel de simulation. La variation maximale lorsque l'écartement D passe de 1 à 10 μm pour chacun des paramètres caractéristiques est indiquée : $\Delta Z_c = 1,9\%$, $\Delta \alpha = 3,9\%$, $\Delta \epsilon_{\text{reff}} = 1,4\%$ et $\Delta Q = 4,3\%$. L'impact négligeable du paramètre est mis en évidence. Ceci est prévisible, étant donnée la surface de couplage entre les murs latéraux et les bouts des barreaux métalliques qui est très faible par rapports aux surfaces de couplages en vis-à-vis entre les plans de masse de la ligne CPW et les barreaux flottants. D'ailleurs, lorsque D augmente à l'infinie, nous nous retrouvons avec une structure classique dont la largeur des plans de masse W_g est infinie.

Concernant la largeur des barrières de blindage M , les paramètres électriques (Z_c , α , ϵ_{reff} et Q) de la ligne commencent à se stabiliser pour une valeur de M de l'ordre 20 μm . Les impédance caractéristique et permittivité relative effective de la ligne S-CPW blindée sont alors plus faibles d'environ 5 % et 10 % respectivement par rapport à la ligne S-CPW classique. Ces écarts sont relativement faibles et peuvent être pris en compte lors de la conception des lignes.

Ces lignes blindées présentent l'avantage que tous les niveaux de métallisation (au-delà d'une certaine valeur de M) peuvent être pleins afin de satisfaire les contraintes de densité des technologies considérées. D'autre part, cela permet de faciliter les interconnexions au niveau des masses entre ces lignes et les lignes microruban et autres plots de caractérisation dont les masses sont situées sur M_1 et M_2 comme nous pourrons le voir au chapitre III.

Pour les lignes à ondes lentes S-CPW fabriquées dans le cadre de cette thèse, la dimension D de 2 μm a été choisie et M compris entre 10 et 15 μm a été employé.

II.5.2 Optimisation de la géométrie des barreaux de blindage flottants

Jusqu'à présent, nous avons étudié l'effet des paramètres géométriques de la ligne CPW principale. Il est également essentiel d'établir les règles d'optimisation de la géométrie des barreaux flottants.

II.5.2.1 Epaisseur de diélectrique h

Dans le cas d'une ligne CPW classique, son impédance caractéristique est fixée par le dimensionnement de W_s et G . La ligne S-CPW dispose d'un degré de liberté supplémentaire pour régler son impédance caractéristique, il s'agit de l'épaisseur de diélectrique séparant la ligne CPW et les barreaux métalliques flottants. Cette étude est basée sur une observation des performances électriques en fonction de la fréquence par la variation de l'épaisseur diélectrique ($h = 0,6 \mu\text{m}$, $1 \mu\text{m}$, $1,6 \mu\text{m}$, $2 \mu\text{m}$) sur la **Figure II-17**.

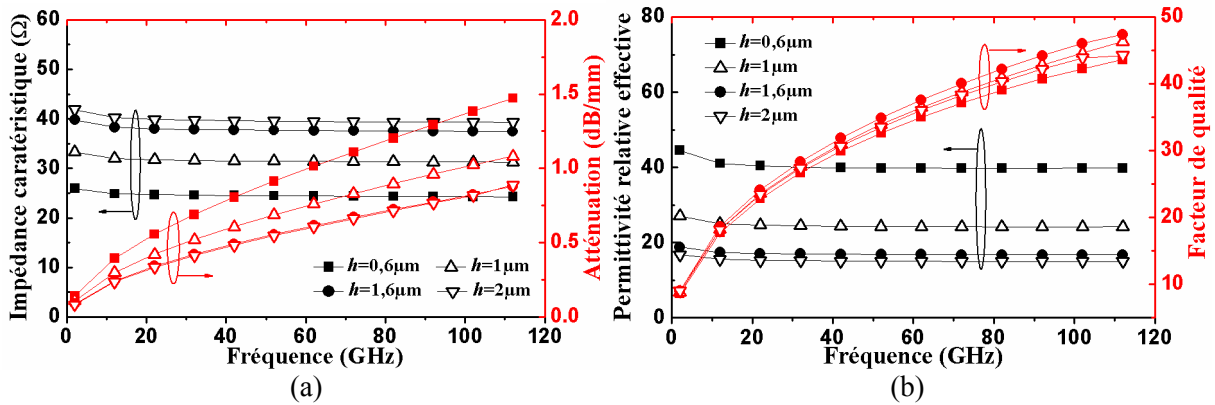


Figure II-17 : Performances électriques en fonction de la fréquence pour différentes valeurs de l'épaisseur diélectrique. (a) Z_c et α , (b) ϵ_{reff} et Q . (Lignes S-CPW à topologie classique : $W_s = 17 \mu\text{m}$, $G = 20 \mu\text{m}$, $W_d = W_g = 15 \mu\text{m}$, $SL = 0,1 \mu\text{m}$, $SS = 0,55 \mu\text{m}$, $t_{\text{cpw}} = 2,1 \mu\text{m}$, $t_b = 0,22 \mu\text{m}$)

La dimension physique des paramètres concernant la ligne CPW principale demeurant inchangée, l'épaisseur du diélectrique détermine l'impédance caractéristique et la permittivité relative effective de la ligne S-CPW. Lorsque l'épaisseur du diélectrique augmente, la capacité linéique équivalente diminue alors que l'inductance linéique n'est pas modifiée. Cet effet conjoint explique l'augmentation de l'impédance caractéristique et la diminution de la permittivité relative effective. La constante d'atténuation, quant à elle, est d'autant plus faible que l'épaisseur est faible, ce qui est principalement lié à l'augmentation de l'impédance caractéristique. Ceci est facilement explicable par l'équation (II-11) dans le cas à faibles pertes. En effet, les pertes diélectriques étant négligeables, les pertes conductrices sont inversement proportionnelles à Z_c , comme prédit par le modèle des télégraphistes.

D'une manière générale, nous pouvons observer que pour des dimensions fixées de la ligne CPW, les pertes linéiques sont d'autant plus faibles que l'effet d'onde lente est faible (permittivité

faible) : un compromis doit donc être trouvé entre le facteur de miniaturisation désiré et les pertes admissibles.

II.5.2.2 Largueur SL et espacement SS des barreaux : taux de remplissage τ

Dans la structure de ligne à ondes lentes, la présence des barreaux métalliques en dessous de la ligne principale produit des pertes supplémentaires. Ces pertes peuvent être d'origine conductrice ou engendrées par courant de Foucault. La **Figure II-18** montre clairement la présence de courants de Foucault induits par le champ magnétique de la ligne CPW dans un barreau flottant. Ces courants principalement présents en périphérie des barreaux décrivent des boucles de courants caractéristiques des courants de Foucault.

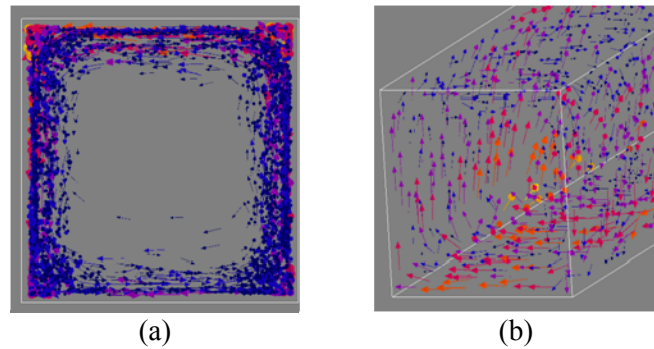


Figure II-18 : Courants de Foucault dans un barreau métallique avec Flux 3D. (a) 2D, (b) 3D.

Remarquons qu'un courant de conduction est également créé dans les barreaux flottants par la différence de potentiel entre le ruban central et les plans de masse de la ligne CPW, ce courant est alors orienté dans le sens transversal à la direction de propagation. Nous rappelons la formule de calcul des pertes conductrices en fonction des paramètres du modèle dans (II-20) (cf. équation (II-11)).

$$\alpha_{\text{cond}} = \frac{1}{2} R_b C_{CPWG} \omega^2 \sqrt{L_{CPW} C_{CPWG}} \quad (\text{II-20})$$

Afin de clarifier l'incidence de la géométrie des barreaux dans le sens de propagation, la contribution aux pertes totales par ces barreaux métalliques est étudiée à l'aide du logiciel Flux 3D permettant de dissocier les pertes d'origine électrique de celles d'origine magnétique.

Nous définissons dans un premier temps deux paramètres liés à la largeur SL et l'espacement SS des barreaux métalliques : la période p (II-21) et le taux de remplissage τ (II-22).

$$p = SL + SS \quad (\text{II-21})$$

$$\tau = \frac{SL}{SL + SS} \quad (\text{II-22})$$

La largeur du barreau SL variant de 0,1 à 1,6 μm , la **Figure II-19** illustre (a) les pertes par courant de Foucault, (b) les pertes conductrices et (c) les pertes totales dans les barreaux à 60 GHz pour différents taux de remplissage métalliques en pourcentage ($\tau = 10\%$, 20% , 40% et 80%).

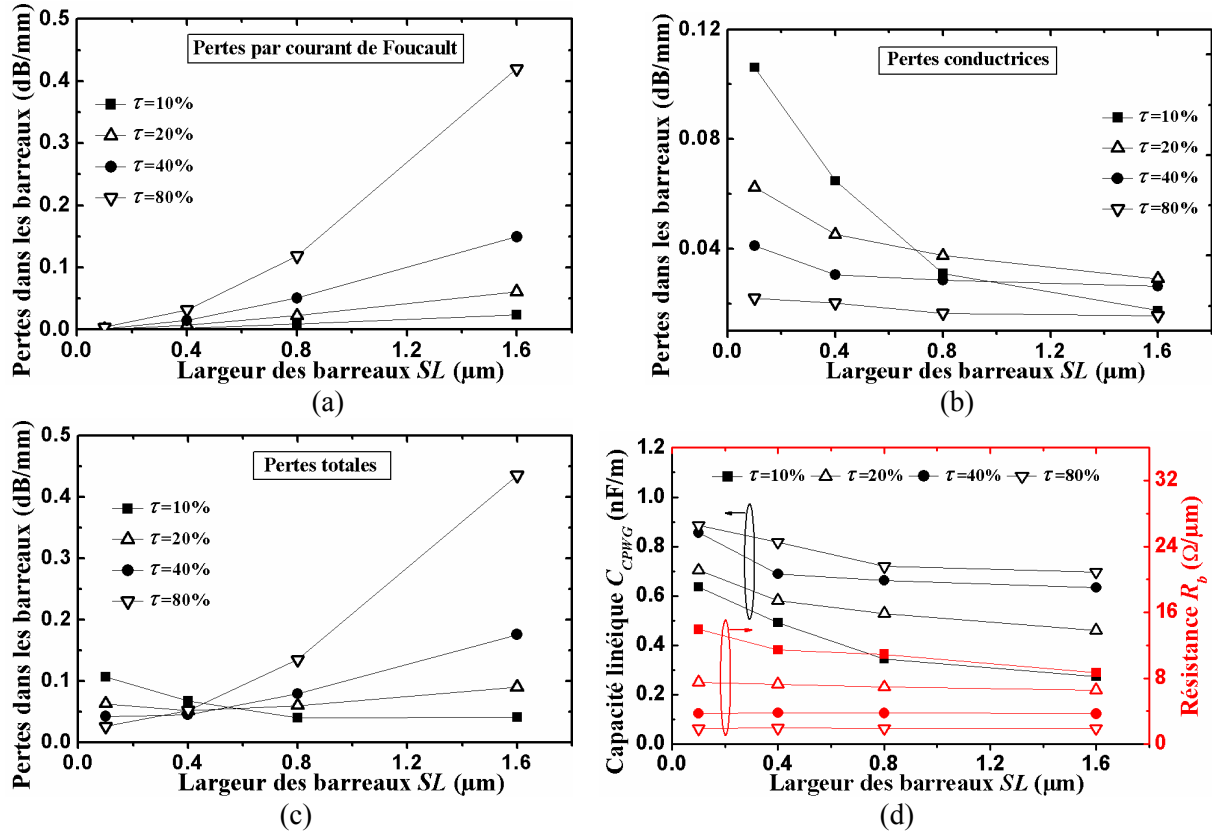


Figure II-19 : Pertes linéiques à 60 GHz dans les barreaux d'une ligne S-CPW. (a) pertes par courant de Foucault, (b) pertes conductrices, (c) pertes totales. (d) évolution de C_{CPWG} et R_b à 60 GHz pour ces lignes. (lignes S-CPW à topologie classique : SL et SS varient avec $W_s = 17\ \mu\text{m}$, $G = 20\ \mu\text{m}$, $W_d = W_g = 15\ \mu\text{m}$, $h = 0,6\ \mu\text{m}$, $t_{cpw} = 2,1\ \mu\text{m}$, $t_b = 0,22\ \mu\text{m}$)

La **Figure II-19 (a)** montre que plus la largeur SL des barreaux flottants et la densité de remplissage sont importantes, plus les pertes par courant de Foucault s'accroissent. Ces pertes deviennent alors prédominantes devant celles par conduction identifiées à la **Figure II-19 (b)**. Cela s'explique par une augmentation de la section pour des grandes largeurs. Par ailleurs, pour un taux de remplissage donné, lorsque la largeur SL augmente, la résistance linéique R_b reste constante d'après (II-23), ceci est confirmé à la **Figure II-19 (d)**.

$$R_b = \frac{1}{4} \rho \frac{W_t}{SL \cdot t_b} \cdot (SL + SS) = \frac{1}{4} \cdot \frac{1}{\tau} \rho \frac{W_t}{t_b} \quad (\text{II-23})$$

La capacité C_{CPWG} est, quant à elle, d'autant plus importante que SL est faible pour un taux de remplissage fixé. En effet, pour un taux de remplissage donné, plus SL est faible, meilleur le blindage électrique sera réalisé. L'évolution conjointe de R_b et de C_{CPWG} explique la décroissance des pertes conductrices lorsque la largeur SL augmente pour un taux donné (**Figure II-19 (b)**). Si nous fixons la

largeur SL , lorsque la densité du métal augmente, nous observons bien une diminution de la résistance R_b , ce qui confirme l'équation (II-23), alors que la capacité augmente (cf. **Figure II-19 (d)**).

L'ensemble des pertes dans les barreaux est présenté à la **Figure II-19 (c)**. D'une manière générale, nous observons qu'un compromis doit être considéré pour réduire au maximum les pertes dues aux barreaux. En effet, pour un SL élevé, le taux de remplissage doit être le plus faible possible pour réduire les pertes par courant de Foucault qui sont alors fortes et prédominantes. Au contraire, pour un SL faible ($< 0,4 \mu\text{m}$ ici), nous remarquons que le taux de remplissage doit être augmenté car les pertes par conduction dans les barreaux deviennent alors prédominantes. D'une manière générale, cette étude montre que pour la topologie S-CPW considérée, en dessous d'une valeur $SL=0,4 \mu\text{m}$, les pertes dans les barreaux restent faibles ($\leq 0,1 \text{ dB/mm}$) quelque soit le taux de remplissage.

II.5.2.3 Epaisseur des barreaux t_b

L'impact de l'épaisseur t_b sur la contribution des pertes dans les barreaux en fonction de la fréquence est identifié à la **Figure II-20**, avec **(a)** les pertes par courant de Foucault, **(b)** les pertes conductrices et **(c)** les pertes totales dans les barreaux pour une épaisseur t_b comprise entre $0,1 \mu\text{m}$ et $2 \mu\text{m}$ ($t_b = 0,1 \mu\text{m}$, $0,22 \mu\text{m}$, $1 \mu\text{m}$ et $2 \mu\text{m}$ respectivement).

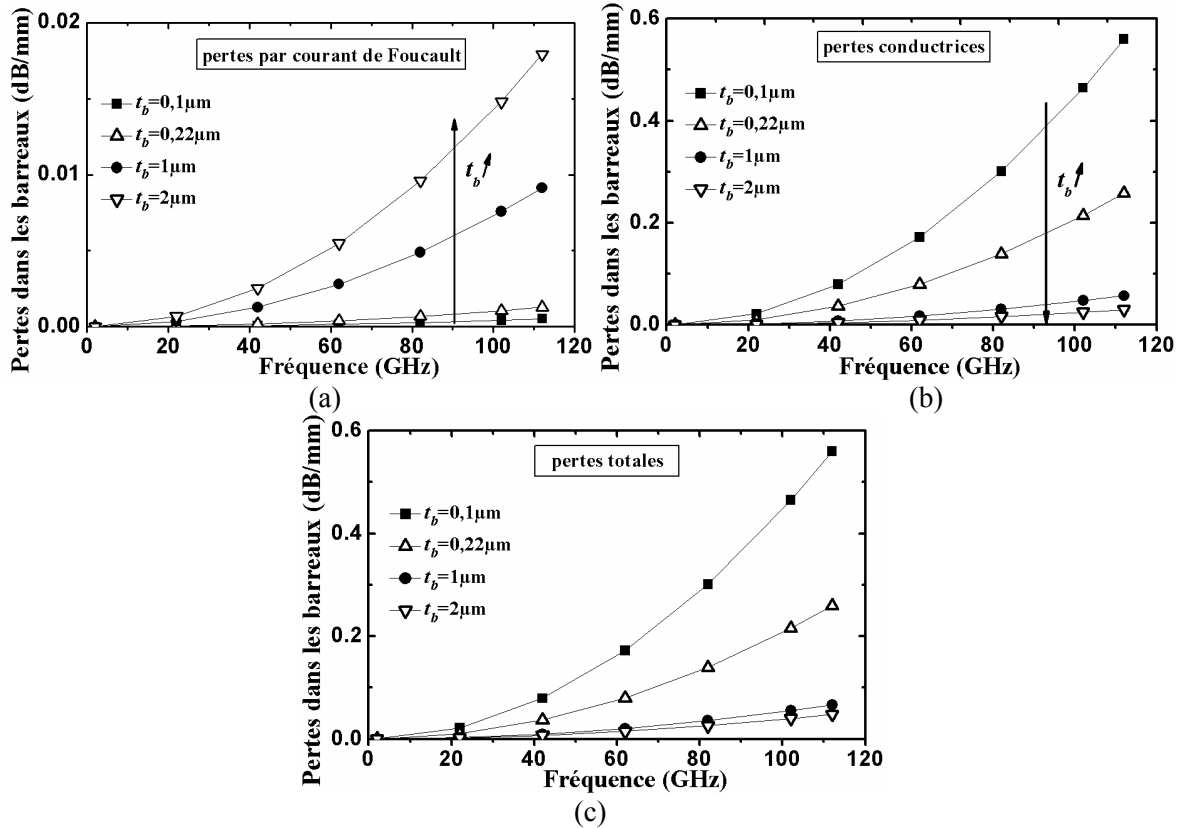


Figure II-20 : Pertes linéiques dans les barreaux d'une ligne S-CPW excitée par une source d'un ampère. (lignes S-CPW à topologie classique : t_b varie avec $W_s = 17 \mu\text{m}$, $G = 20 \mu\text{m}$, $W_d = W_g = 15 \mu\text{m}$, $h = 0,6 \mu\text{m}$, $t_{cpw} = 2,1 \mu\text{m}$, $SL = 0,1 \mu\text{m}$, $SS = 0,55 \mu\text{m}$).

Pour une épaisseur du barreau fixée, les pertes linéiques sont proportionnelles à la fréquence, que ce soit par courant de Foucault ou conductrices. Lorsque la fréquence est fixée et que cette épaisseur diminue, les pertes par courant de Foucault diminuent alors que les pertes conductrices s'élèvent rapidement (cf. équation (II-18)), notamment pour des barreaux ayant une épaisseur inférieure à l'épaisseur de peau ($0,3 \mu\text{m}$ à 60 GHz). Ces deux observations montrent que les pertes créées dans les barreaux sont principalement de type conducteur, comme la montre la **Figure II-20 (c)**, pour les dimensions données. Cependant, dans le cas de barreaux très épais ($2 \mu\text{m}$ par exemple), la part des pertes par courants de Foucault devient non négligeable par rapport aux pertes résistives. En conclusion, afin de minimiser les pertes globales dans les barreaux à hautes fréquences, il faudrait donc choisir une épaisseur t_b grande permettant de réduire les pertes par conduction dans les barreaux, notamment dans le cas où un fort effet d'ondes lentes est présent. Par exemple, à 110 GHz , l'utilisation d'un métal épais de $2 \mu\text{m}$ pour les barreaux permettrait de n'avoir des pertes dues aux barreaux qui n'excèderaient pas $0,04 \text{ dB/mm}$.

II.5.2.4 Justification des dimensions des barreaux des lignes utilisées dans les circuits réalisés

L'étude paramétrique sous Flux 3D des barreaux métalliques (SL , SS , τ et t_b) mettant en évidence les pertes d'origine résistive et celles par courants de Foucault a été menée à la fin de cette thèse, c'est elle qui a permis de valider notre modèle électrique, modèle phénoménologique permettant une interprétation physique des lignes S-CPW.

Ainsi, les lignes S-CPW et circuits réalisés en technologies intégrées dans ce cadre de cette thèse avaient été optimisées sous HFSS. Les pertes résistives et par courants de Foucault ne pouvant alors pas être dissociées, l'optimisation s'avérait plus difficile. En effet, les pertes résistives et celles par courants de Foucault évoluant de manière inverse, il était alors difficile d'apprécier le réel gain réalisé entre deux taux de remplissage différents pour un SL petit ($<0,4 \mu\text{m}$ dans cette étude).

En effet, nous avons alors choisi un taux de remplissage minimum dans les technologies considérées (soit un taux de l'ordre de 15 à 20%) avec un SL minimum de $0,1 \mu\text{m}$. L'étude ci-dessus (cf. **Figure II-19**) montre que nous aurions pu améliorer les pertes dues aux barreaux. Cette amélioration reste cependant faible (gain de $0,05$ à $0,1 \text{ dB/mm}$).

L'utilisation d'un niveau de métal épais aurait également pu être considérée pour réaliser les barreaux flottants dans les technologies présentant deux niveaux épais (par exemple CMOS 45 et 65 nm de STMicroelectronics). Ceci aurait permis, en considérant un métal épais de $0,9 \mu\text{m}$ au lieu de $0,22 \mu\text{m}$, de réduire les pertes de l'ordre de $0,06 \text{ dB/mm}$ à 60 GHz . Ici encore l'amélioration reste faible à la fréquence considérée. Notons tout de même que pour des fréquences millimétriques élevées ($>100 \text{ GHz}$), ces considérations devront être prises en compte : une réduction des pertes de l'ordre de $0,2 \text{ dB/mm}$ pourra alors être attendue (cf. **Figure II-20 (c)**).

II.6 Mise en évidence de l'intérêt de lignes S-CPW dans la bande millimétrique

Cette partie a pour objectif de mettre en évidence l'intérêt des lignes à ondes lentes par rapport aux lignes microruban classiques dans la conception des circuits en bande millimétrique. Pour ce faire, deux versions d'amplificateur de puissance de démonstration à un étage travaillant autour de 60 GHz sont conçues en technologie CMOS 45 nm. La première version utilise des lignes à ondes lentes (SCPW6) pour les étages d'adaptation et l'autre utilise des lignes microruban (TFMS1). Dans ce chapitre, nous nous intéressons exclusivement à comparer les performances caractéristiques de ces deux amplificateurs utilisant le même transistor et à montrer l'apport des lignes à ondes lentes sur la réduction des pertes dans les réseaux d'adaptation. Nous détaillerons dans le chapitre III les différents aspects de conception d'amplificateurs de puissance millimétriques : les outils de simulation et d'extraction des paramètres parasites du transistor MOS, la méthode de conception ainsi que la modélisation électrique des composants passifs tels que les capacités MOM et les plots RF.

II.6.1 Comparaison des performances des lignes : S-CPW versus TFMS

La **Figure II-21** présente la comparaison en fonction de la fréquence des paramètres électriques des lignes TFMS1 et SCPW6 conçues en technologie CMOS 45 nm. Les performances de la ligne microruban TFMS1 sont obtenues à partir de simulations issues du modèle développé dans [Quemerais, 10-3].

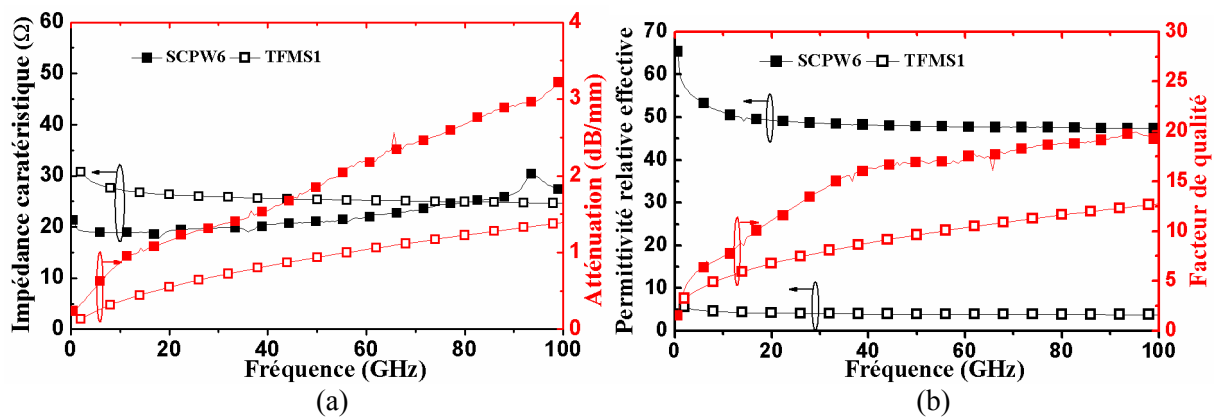


Figure II-21 : Comparaison des performances mesurées des lignes S-CPW avec les lignes TFMS en technologie CMOS 45 nm sur (a) Z_c et α , (b) ϵ_{eff} et Q .

L'impédance caractéristique de ces deux lignes est proche de 30 Ω . Pour la ligne microruban, la permittivité relative effective est d'environ de 5 et la constante d'atténuation à 60 GHz est de l'ordre de 1,1 dB/mm, conduisant à un facteur de qualité modéré de 10. En ce qui concerne la ligne à ondes lentes SCPW6, malgré des pertes linéiques plus importantes (2,2 dB/mm à 60 GHz), le facteur de qualité s'améliore tout de même par un facteur d'environ deux ($Q = 18$ à 60 GHz), ce qui est dû à la permittivité relative effective très élevée de cette ligne ($\epsilon_{eff} = 48$). Les comparaisons des résultats de

mesure nous permettent quantitativement de conclure que la ligne S-CPW apporte l'intérêt, non seulement sur le facteur de miniaturisation lié à l'augmentation de la permittivité, mais aussi sur le facteur de qualité.

II.6.2 Circuit démonstrateur : amplificateur de puissance à un étage travaillant à 60 GHz

La **Figure II-22** montre le schéma simplifié de la première version de l'amplificateur à lignes S-CPW (SCPW6) monté en source commune. Les circuits de polarisation sont également schématisés.

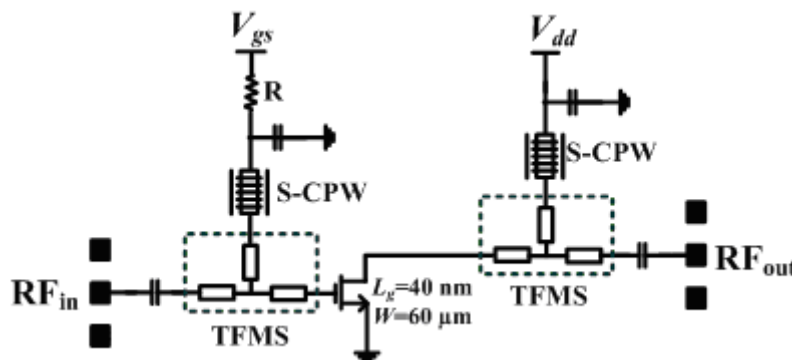


Figure II-22 : Schéma simplifié d'un amplificateur de puissance à un étage en source commune utilisant les lignes S-CPW (SCPW6) en technologie CMOS 45 nm.

Le transistor est polarisé en classe A. La longueur de grille L_g et la largeur total W sont respectivement de 40 nm et 60 μm. Le courant de polarisation I_{ds} d'environ 23 mA fixe une densité de courant ($\approx 0,4$ mA/μm) correspondant à la fréquence de transition f_t maximale. Afin de faciliter la connexion entre les stubs à lignes S-CPW et l'entrée/sortie du transistor, les jonctions en Té formées des morceaux de lignes microruban (TFMS1) sont utilisées. La longueur physique de ces morceaux de lignes est très petite ($l \ll \lambda_g/20$) et leur impact sur les performances des amplificateurs est négligeable. L'autre version de l'amplificateur de puissance est identique à cette première version à l'exception des lignes S-CPW qui sont remplacées par des lignes microruban TFMS1. D'un point de vue schématique, des lignes S-CPW dans la **Figure II-22** sont remplacées par les stubs d'adaptation en microruban. Ceci peut être observé sur les photographies de ces deux amplificateurs présentées sur la **Figure II-23**. De plus, la surface de la zone active de l'amplificateur à lignes S-CPW est légèrement moins importante (d'environ 20 %) par rapport à l'amplificateur utilisant des lignes microruban.

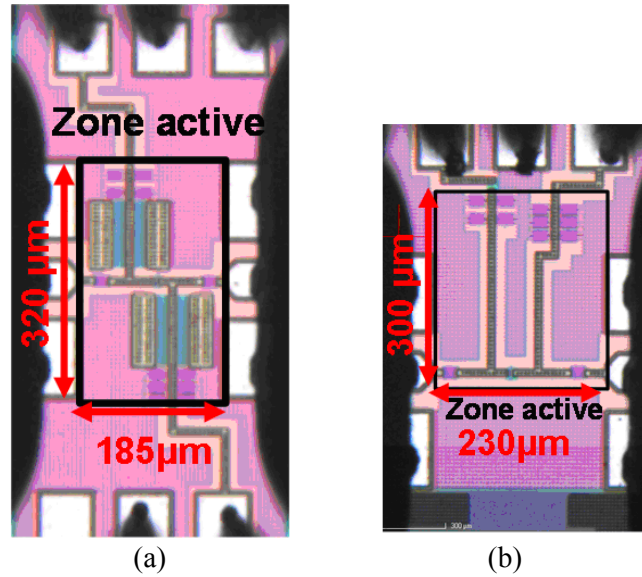


Figure II-23 : Photographies (a) du PA utilisant S-CPW (185 µm × 320 µm) (b) du PA utilisant des lignes TFMS (230 µm × 300 µm).

Nous rappelons que la stabilité inconditionnelle de l'amplificateur de puissance doit être assurée sur toute la bande de fréquence du DC jusqu'à la bande millimétrique. Lorsque le facteur de Rollet K (II-24) est supérieur à 1 et la valeur absolue du déterminant $|\Delta|$ (II-25) est inférieure à l'unité, l'amplificateur est dit inconditionnellement stable [Gonzalez, 97]. Ceci est vérifié pour les deux amplificateurs réalisés comme le montre la Figure II-24.

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}||S_{21}|} \quad (\text{II-24})$$

$$|\Delta| = |S_{11}S_{22} - S_{12}S_{21}| \quad (\text{II-25})$$

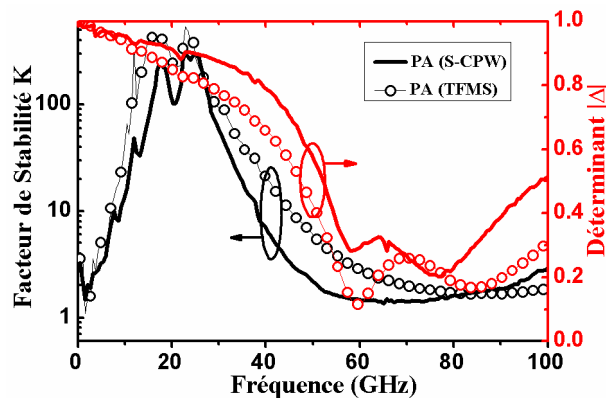


Figure II-24 : Facteurs de stabilité mesurés et déterminants des paramètres S des PAs.

Les performances de mesure en petit signal de ces amplificateurs sont comparées sur la Figure II-25. Sous une tension d'alimentation V_{dd} de 1,2 V avec la même puissance de consommation, l'amplificateur utilisant des lignes S-CPW présente un gain en puissance de 5,6 dB à 60 GHz alors qu'un gain maximal de 3,3 dB est obtenu pour l'amplificateur utilisant des lignes TFMS est à 65 GHz.

Par ailleurs, les deux amplificateurs sont adaptés en entrée et en sortie à mieux que -10 dB aux fréquences de fonctionnement.

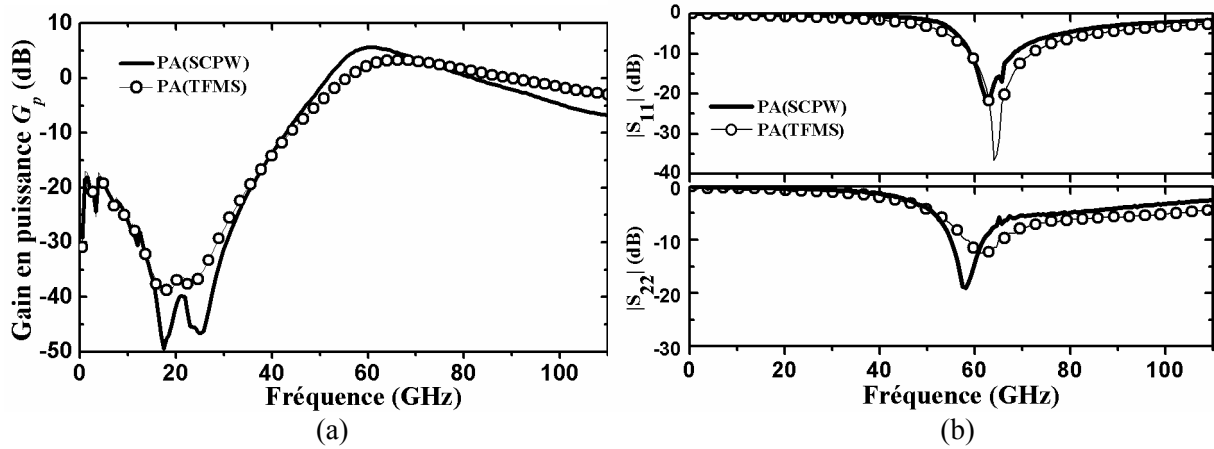


Figure II-25 : Comparaisons des performances mesurées du PA utilisant des lignes S-CPW et utilisant les lignes microrubans. (a) Gain en puissance, (b) Paramètres de réflexion en entrée et en sortie.

En ce qui concerne le point de compression en sortie OC_{1dB} , les gains et les puissances de sortie mesurés en fonction des puissances d'entrée variant entre -15 et 10 dBm sont comparés dans la **Figure II-26 (a)**. Pour l'amplificateur à lignes S-CPW, le point de compression est de 7 dBm à 60 GHz et la puissance de saturation P_{sat} est supérieure à 10 dBm. La version utilisant les lignes microruban est moins performante : le point de compression à la fréquence où le gain est maximum en mesure (65 GHz) est de 5 dBm et la puissance de saturation est d'environ 8 dBm. Sur la **Figure II-26 (b)**, l'efficacité en puissance ajoutée PAE est comparée, montrant un écart de 10 % sur les valeurs maximales (16 % contre 6 %).

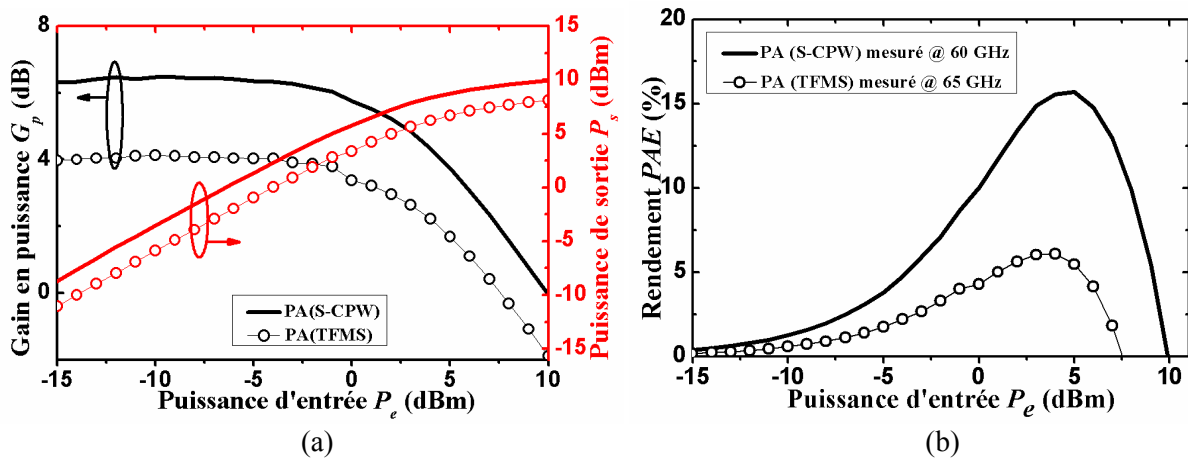


Figure II-26 : Comparaisons des performances mesurées du PA utilisant des lignes S-CPW à 60 GHz et utilisant les lignes microrubans à 60 GHz. (a) Point de compression, (b) Efficacité en puissance ajoutée.

Le **Tableau II-2** récapitule les performances mesurées des amplificateurs en termes de gain en puissance, de point de compression en sortie, de puissance de saturation et d'efficacité. Ces résultats

permettent de montrer les améliorations apportées par l'utilisation des lignes à ondes lentes par rapport aux lignes microruban classiques dans les interfaces intégrés millimétriques.

	Freq. (GHz)	G_p (dB)	OCP_{1dB} (dBm)	P_{sat} (dBm)	PAE (%)	Surface (μm^2)
PA(S-CPW)	60	5,6	7	>10	16	0,59
PA(TFMS)	65	3,3	5	>8	6	0,69

Tableau II-2 : Performances mesurées des PAs à un étage à 60 GHz utilisant des lignes S-CPW et des lignes microruban.

II.7 Conclusion du chapitre II

Les lignes à ondes lentes S-CPW permettent des améliorations importantes en termes de miniaturisation et de forts facteurs de qualité, à condition que les dimensions géométriques de la ligne soient bien choisies. Compte tenu le grand nombre de paramètres physiques mis en jeu dans la conception, un modèle électrique RLRC a pu être validé dans l'étude. Le développement de ce modèle permet d'extraire des pertes linéiques, ce dernier est ensuite utilisé pour raisonner sur la répartition des pertes d'une ligne à ondes lentes implémentée sur un substrat à pertes ou sur un substrat à haute résistivité.

Les règles d'optimisation de la ligne ont été établies, respectant des aspects spécifiques des technologies d'intégration CMOS tels que la densité de métallisation par fenêtrage de chaque niveau du BEOL et les contraintes de la dimension minimale du métal. Pour aboutir à des pertes minimales, le modèle électrique développé montre que, dans le cas d'un fort effet d'ondes lentes, la largeur des barreaux doit être minimale, avec un taux de remplissage et une épaisseur de métal élevés. Les boucles de courants induites par le champ magnétique dans des barreaux sont fortement limitées par la faible largeur SL de ces derniers ce qui a pour effet de limiter les pertes par courants de Foucault.

Une étude de la structure de ligne S-CPW blindée, permettant une isolation franche des éléments à proximité, a permis de mettre en évidence le faible impact des barrières de blindage latérales sur les performances électriques de la ligne.

Enfin, l'apport des lignes à ondes lentes par rapport aux lignes classiques de type microruban ou coplanaire a été mis en évidence. D'une manière générale, ces lignes sont plus performantes en termes de constante de phase et de facteur de qualité. Ceci a été mis en évidence à travers les performances obtenues sur deux versions d'un amplificateur de puissance utilisant l'une des lignes classiques TFMS et l'autre des lignes S-CPW.

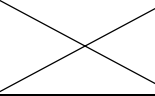
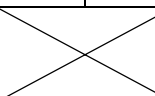
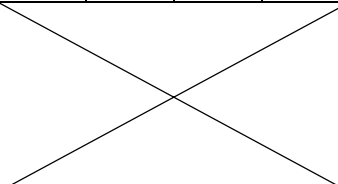
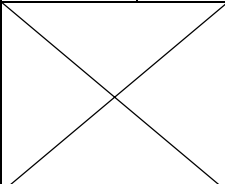
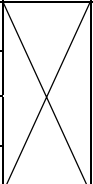
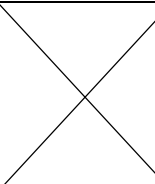

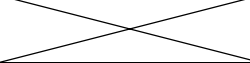
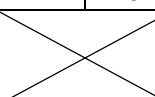


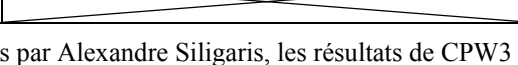
		Topologie			Dimensions géométriques												Performances mesurées à 60 GHz								
	Tech. (nm)	Niveau CPW	Niveau Barreaux	Murs	W_s (μm)	G (μm)	W_d (μm)	W_g (μm)	D (μm)	M (μm)	W_t (μm)	t_{cpw}^{***} (μm)	h (μm)	SL (μm)	SS (μm)	t_b (μm)	Z_c (Ω)	α (dB/mm)	ϵ_{eff}	Q					
SCPW1	C65 SOI	AP+M ₆	M ₅	non	17	20	15	15			87	2,1	0,6	0,1	0,55	0,22	28	0.9	30	34					
SCPW2							2	15			61						36	0,55	16	40					
SCPW3			oui	15			29	2	12	97	27						1	29,6	30						
SCPW4		AP+M ₆	M ₂	non	5	20	15	15			75	3,08	1,44		66	0,57	7,6	27							
SCPW5		AP→M ₃		8	24,5	87					0,16		31		1,1	39,4	31								
CPW1*		AP→M ₁			12	3,5		70			159	3,8	2,1		28	1,48	5,2	8							
CPW2*		AP+M ₆			5	9					163	65			0,95	4,1	12								
CPW3*					12	2,2					154	38			1,2	4,5	8								
CPW4*						12					176	70			0,55	3,9	20								
SCPW6	C45	AP→M ₂	M ₁	oui	7	18	10	22	2	10	66	5,37	0,12	0,07	0,63	0,13	22	2,2	47,8	18					
SCPW7		AP→M ₅			6	20						4,59	0,9				44	1,7	10,5	11					
SCPW8		AP+M ₇										2,35	3,14				64	1,42	5,9	10					
TFMS1**		AP+M ₇	Plan de masse grillagé M ₁ +M ₂		13							2,35	3,24				24	1	5	10					
SCPW9	C65	AP→M ₃	M ₂	oui	6	20	10	27	2	15	66	5,43	0,16	0,1	0,55	0,22	28	1,64	29,5	18					
SCPW10		AP+M ₇	M ₅	non	20	25	12	12			94	2,35	2,1				45	0,78	12,3	25					
SCPW11			M ₄		7	31							2,48				71	0,66	8,7	25					
TFMS2		AP+M ₇	Plan de masse grillagé M ₁ +M ₂		12							2,35	2,88				31	1,1	3,6	10					
TFMS3					5												53	1,0	2,6	8,4					
<p>* Ces lignes CPW sont réalisées par Alexandre Siligaris, les résultats de CPW3 et CPW4 sont publiés dans [Siligaris, 07].</p> <p>** Les performances de cette ligne microruban TFMS1 sont obtenues à partir de la simulation du modèle développé dans [Quemerais, 10-3].</p> <p>*** Pour les lignes TFMS, le paramètre t_{cpw} présente l'épaisseur du conducteur central.</p>																									

Tableau II-1 : Récapitulation des dimensions géométriques des lignes de propagations (S-CPW, CPW et TFMS) et leurs performances à 60 GHz en technologies CMOS.

Chapitre III: Amplificateurs de puissance millimétriques à lignes S-CPW en technologie CMOS 65 nm

Les amplificateurs de puissance constituent l'élément de base pour la conception d'un front-end millimétrique. Cependant, compte tenu de la faible tension d'alimentation disponible en technologies CMOS avancées (de l'ordre du volt), la réalisation d'amplificateurs de puissance performants aux fréquences millimétriques s'avère être un véritable défi. Le concepteur de ces circuits cherche, d'une part, à établir la méthodologie optimale de conception, et d'autre part, à réduire les pertes dans les éléments passifs, notamment celles des lignes de propagation utilisées dans les réseaux d'adaptation d'impédance.

Dans le chapitre précédent, nous avons montré que les performances électriques des lignes coplanaires à ondes lentes S-CPW sont très intéressantes par rapport aux lignes classiques en termes de miniaturisation, de facteur de qualité et donc de pertes. Des amplificateurs de puissance à un étage utilisant ces lignes de propagation ont été réalisés en technologie CMOS 45 nm. Nous avons démontré la potentialité des lignes S-CPW dans la conception des amplificateurs de puissance compacts et performants en bande millimétrique. Afin de poursuivre l'étude sur l'apport des lignes à ondes lentes aux circuits millimétriques, nous allons présenter deux amplificateurs de puissance à trois étages fonctionnant à 60 GHz et utilisant ce type de ligne de propagation. Le premier circuit est basé sur une topologie classique en mode commun et l'autre est basé sur une structure pseudo différentielle. Tous les amplificateurs présentés dans ce chapitre ont été conçus en technologie CMOS 65 nm du fondeur STMicroelectronics.

La première partie de ce chapitre est consacrée à une étude bibliographique sur les amplificateurs de puissance millimétriques utilisant des lignes à ondes lentes réalisés dans différentes technologies CMOS. Les modélisations électriques des composants passifs tels que les capacités MOM et les plots de caractérisation RF sont détaillées. Nous présentons une méthodologie de conception de l'amplificateur de puissance tenant compte des règles d'électro-migration. Pour conclure ce chapitre, les performances caractérisées de ces amplificateurs de puissance sont présentées et comparées à celles de l'état de l'art des réalisations actuelles.

III.1 État de l'art des PAs utilisant des lignes à ondes lentes

Au moment où a démarré cette thèse, il existait dans la littérature scientifique peu d'articles relatant la réalisation d'amplificateurs de puissance utilisant des structures de lignes à ondes lentes.

Le premier amplificateur de puissance utilisant des lignes à ondes lentes a été réalisé en 2005 par [Cheung, 05] afin de travailler dans la bande de fréquence 21-26 GHz sur un substrat SiGe. Cet amplificateur est conçu à base des transformateurs et de combineur/diviseur de puissance. Ces éléments passifs sont blindés électriquement par rapport au substrat à faible résistivité ($\rho = 10 \sim 15 \Omega \cdot \text{cm}$) par des barreaux métalliques disposés d'une façon régulière. Des lignes de propagation relient le combineur de puissance aux transformateurs disposés à l'entrée de l'amplificateur (voir **Figure III-1**: T1 étant le combineur, T2 et T5 étant les transformateurs). Le principe de blindage à potentiel flottant est également appliqué aux lignes coplanaires, conduisant à la formation des lignes à ondes lentes S-CPW, dont les performances mesurées ont été antérieurement présentées dans [Cheung, 03]. A 40 GHz, ces lignes présentent des faibles pertes linéiques d'environ 0,55 dB/mm et une permittivité relative effective de 9, conduisant à un facteur de qualité de l'ordre de 22.

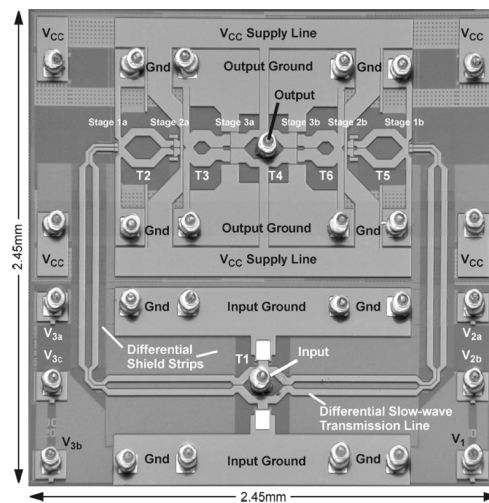


Figure III-1 : Photomicrographie de l'amplificateur de [Cheung, 05].

Dans la même année, [Komijani, 05] propose un amplificateur de puissance à 24 GHz en technologie CMOS 180 nm utilisant des lignes à ondes lentes S-CPWG (*Slow-wave Coplanar Waveguide Grounded*). Les lignes S-CPWG diffèrent des lignes S-CPW par le potentiel des barreaux métalliques qui n'est alors plus flottant mais mis à la masse par des vias d'interconnexion, comme présenté à la **Figure III-2**.

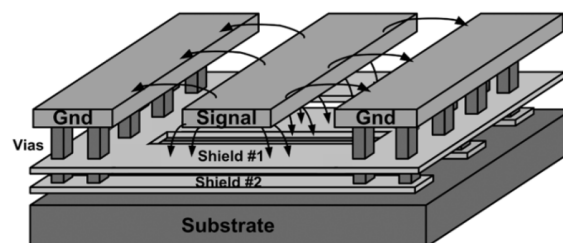


Figure III-2 : Schéma d'une ligne S-CPWG de [Komijani, 05].

Les barreaux de blindage sont composés d'une couche d'aluminium de $1,25\ \mu\text{m}$ et d'une couche métallique en cuivre de $0,3\ \mu\text{m}$. La largeur SL étant de $4\ \mu\text{m}$ et l'espacement SS étant de $2\ \mu\text{m}$, les pertes linéiques à 24 GHz de cette ligne à ondes lentes sont de 1 dB/mm et la permittivité relative effective vaut 18, conduisant à un facteur de qualité de 9,3.

Dans [Sandstrom, 08], les auteurs réalisent le premier amplificateur de puissance uniquement à base de lignes S-CPW dans la bande millimétrique. Cet amplificateur fonctionne à 60 GHz et il a été intégré sur substrat silicium dans une technologie CMOS 65 nm. La topologie des lignes S-CPW utilisées dans le circuit est schématisée sur la **Figure III-3**.

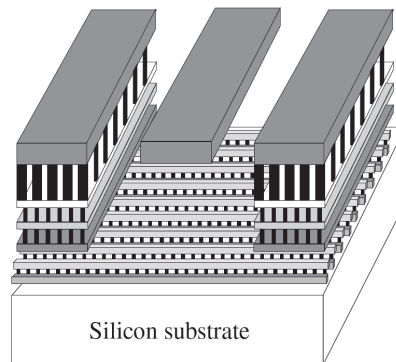


Figure III-3 : Schéma de la ligne S-CPW utilisée dans [Sandstrom, 08].

Le conducteur central de largeur de $12\ \mu\text{m}$ est en métal M_6 . Les plans de masse latéraux, qui sont empilés du niveau M_3 jusqu'au niveau supérieur M_6 , sont espacés de $9\ \mu\text{m}$ du conducteur central. Les barreaux flottants de largeur et d'espacement minimal sont placés sur les deux niveaux métalliques inférieurs ($M_1 + M_2$). La permittivité mesurée à 60 GHz de cette ligne S-CPW n'est pas très élevée (de l'ordre de 9) donnant un facteur de qualité d'environ 14 à cette fréquence. Ces mêmes lignes ont été ensuite utilisées dans la conception d'un PA travaillant à une fréquence plus élevée (à 100 GHz) présenté dans [Sandstrom, 09].

Récemment, un autre amplificateur de puissance à 60 GHz utilisant partiellement des lignes à ondes lentes a été présenté dans [LaRocca, 09]. Etant réalisé en technologie CMOS 90 nm, l'adaptation inter-étage de cet amplificateur à trois étages se fait par des transformateurs différentiels et l'adaptation en sortie est réalisée à l'aide de lignes couplées à ondes lentes S-CPS (*Slow-wave CoPlanar Strip*). Pour ces lignes couplées un réseau de commutateurs placé au milieu de chaque barreau (voir **Figure III-4**) [LaRocca, 08] permet le contrôle de l'ensemble des barreaux flottants, qui sont soit à l'état « open » (état des commutateurs bloqué), soit à l'état « short » (état des commutateurs passant). Le contrôle par commutateurs permet d'obtenir un effet d'ondes lentes plus ou moins marqué : la permittivité relative effective varie entre 8,5 (open) et 54 (short). Cependant, la constante d'atténuation est très élevée (de l'ordre de 4 dB/mm à 60 GHz) notamment à cause des pertes présentées par les MOS, et le facteur de qualité dans le meilleur des cas est limité à 10.

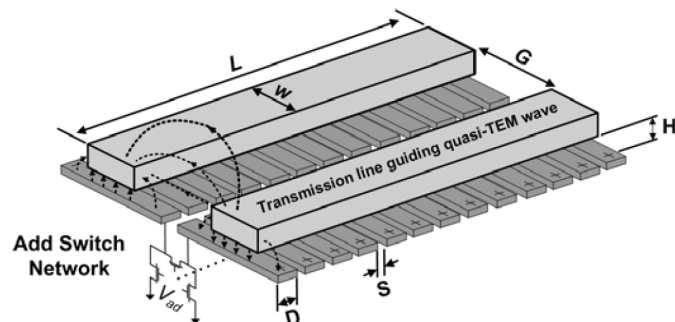


Figure III-4 : Ligne couplée à ondes lentes utilisée dans [LaRocca, 08].

La Figure III-5 présente un récapitulatif des différents facteurs de qualité obtenus pour des applications de PAs en fonction de la permittivité relative effective des lignes à ondes lentes utilisées dans la littérature. Les résultats de nos travaux sont également comparés ici.

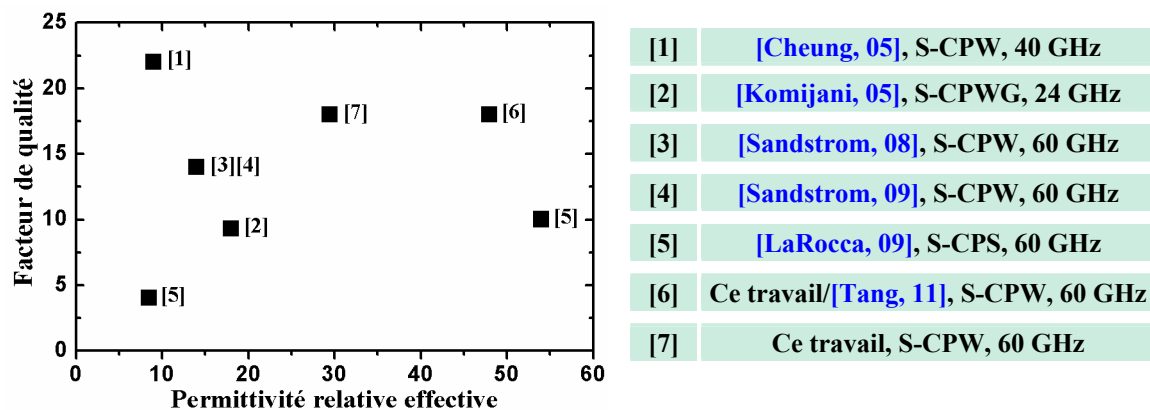
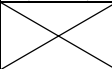


Figure III-5 : Comparaison des performances électriques (ϵ_{eff} et Q) à la fréquence correspondante des lignes à ondes lentes utilisées dans les amplificateurs de puissance issus de la littérature.

Les résultats de [6] ont été présentés dans le chapitre II utilisant la ligne SCPW6 en 45 nm, quant à la ligne SCPW9 ([7]), elle sera utilisée pour réaliser des amplificateurs de puissance à 60 GHz en technologie CMOS 65 nm. Les bonnes performances de ces lignes en terme de facteur de qualité à 60 GHz (de l'ordre de 18) sont dues à l'optimisation des paramètres géométriques. La permittivité relative effective est de 47,8 pour la ligne SCPW6 et de 29,5 pour SCPW9, conduisant respectivement à une forte constante de phase β de 8688 et 6825 rad/mm à 60 GHz.

Nous récapitulons dans le **Tableau III-1** les performances mesurées de ces amplificateurs de puissance utilisant les lignes d'ondes lentes issus de l'état de l'art. Les performances des PAs à trois étages que nous avons réalisés en CMOS 65 nm vont être présentées ultérieurement dans la partie III.3.2 et III.4.2 de ce chapitre.

Référence	Tech. (nm)	Fréq. (GHz)	nbr_étages /Topologie	G_p (dB)	OCP_{1dB} (dBm)	P_{sat} (dBm)	PAE (%)	V_{dd} (V)	P_{DC} (mW)	FoM (W·GHz ²)
[Cheung, 05]	200 SiGe	22	3/CB Diff.	19		23	19,7	1,8	828	1515
[Komijani, 05]	180	24	2/Cas	7	11	14,5	6,5	2,8	280	5,3
[Sandstrom, 08]	65	60	3/Cas	13	4	7,9	8	1,2	54	35
[Sandstrom, 09]	65	100	4/Cas	13	6	10	7,3	1,2	86	146
[LaRocca, 09]	90	60	3/Cas Diff	15	10,2	12,5	19,3	1,2	84	391
[Tang, 11]	45	60	1/CS	5,6	7	10	16	1,2	28	21

CB Diff. = Topologie différentielle à base commune ; Cas = Cascode ; CS = Source commune

Tableau III-1 : Performances récapitulatives des amplificateurs de puissances utilisant des lignes d'ondes lentes de l'état de l'art.

III.2 Modélisation électrique des passifs utilisés dans les PAs

La modélisation électrique précise des éléments passifs est essentielle pour permettre de simuler correctement les performances des fonctions millimétriques. Dans cette partie, nous mettons particulièrement l'accent sur la modélisation des capacités MOM et des plots d'accès RF.

III.2.1 Capacité Métal-Oxyde-Métal (MOM)

Les capacités de découplage et de liaison utilisées pour concevoir nos amplificateurs de puissance sont de type MOM, dont le principe de fonctionnement a été détaillé précédemment dans le chapitre I. Nous avons caractérisé une capacité MOM de valeur de 200 fF conçue dans les niveaux d'interconnexion de la technologie CMOS 45 nm. Les trois niveaux supérieurs (M_5 , M_6 et M_7) sont utilisés pour réaliser les doigts métalliques d'interconnexion afin de maximiser la densité capacitive tout en minimisant les pertes résistives. Les niveaux M_1 et M_2 constituent le blindage électrique du substrat. Le modèle électrique des capacités MOM aux fréquences millimétriques disposant d'une telle topologie est introduit dans [T. Quemerais, 10-3]. Le schéma équivalent est présenté sur la **Figure III-6**.

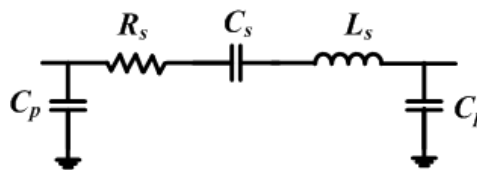


Figure III-6 : Modèle électrique de la capacité MOM.

Ce modèle comprend les éléments série R_s , C_s et L_s qui modélisent respectivement les pertes résistives, la capacité intrinsèque de la structure et l'effet inductif dû aux accès. Deux capacités C_p de faible valeur, ajoutées en parallèle à ce modèle, modélisent le couplage capacitif entre la structure principale et le blindage situé en M_1 et M_2 .

Le **Tableau III-2** montre les valeurs des éléments du modèle pour une capacité de 200 fF réalisée en technologie CMOS 45 nm.

C_s	R_s	L_s	C_p
215 fF	0,3 Ω	8 pH	5 fF

Tableau III-2 : Valeurs des éléments constituant le modèle électrique d'une capacité MOM de 200 fF réalisée en technologie CMOS 45 nm.

Les paramètres admittance Y mesurés et simulés à partir du modèle électrique de cette capacité sont comparés sur la **Figure III-7**. Un bon accord entre le modèle électrique et la mesure est observé.

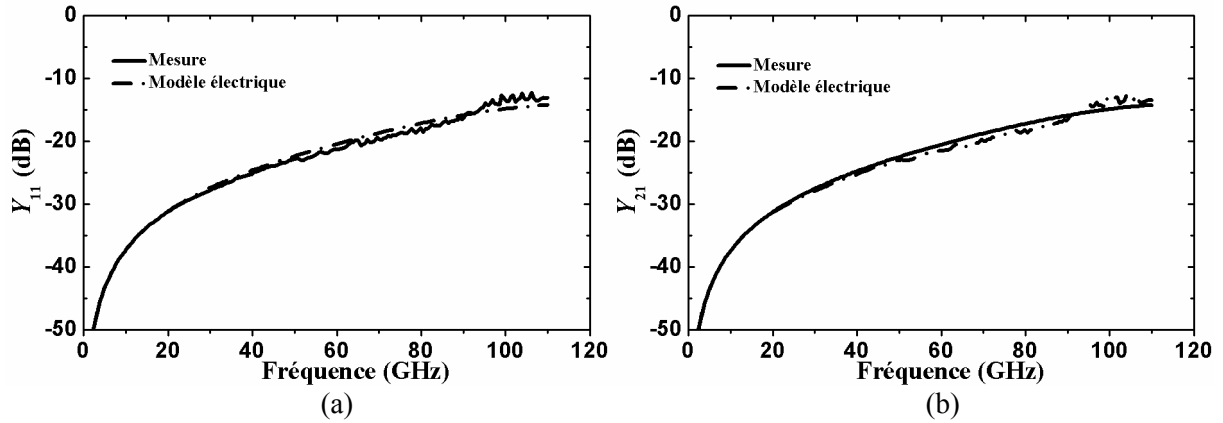


Figure III-7 : Comparaison des paramètres Y entre la mesure et le modèle électrique de la capacité de 200 fF en technologie CMOS 45 nm. (a) Y_{11} , (b) Y_{21} .

Cette capacité compacte occupe une surface d'environ 240 μm^2 (13 $\mu\text{m} \times 18,5 \mu\text{m}$), conduisant à une densité capacitive de l'ordre de 0,9 fF/ μm^2 . Le facteur de qualité est extrait à partir des paramètres Y correspondant :

$$Q_{MOM} = \frac{\text{imag}(Y_{12})}{\text{real}(Y_{12})} \quad (\text{III-1})$$

La **Figure III-8** montre le facteur de qualité mesuré de cette capacité en fonction de la fréquence. A 60 GHz, ce facteur de qualité est d'environ 9.

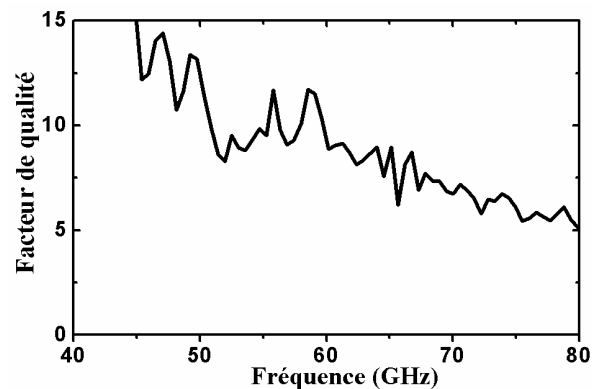


Figure III-8 : Facteur de qualité mesuré de la capacité MOM de 200 fF en CMOS 45 nm.

III.2.2 Plots d'accès RF

Bien que l'impact des plots d'accès RF puisse être éliminé par épluchage pour la majeure partie des circuits passifs, tels que les capacités et les lignes de propagation, ils font généralement partie intégrante des amplificateurs de puissance qui sont publiés dans la littérature. Il est donc important de connaître leur impact électrique sur la fonction de transfert notamment aux fréquences millimétriques.

Les plots d'accès RF de la configuration masse-signal-masse (ou GSG pour *Ground-Signal-Ground*) utilisés en technologie CMOS 65 nm sont schématisés sur la **Figure III-9**. Le plot signal central est constitué d'un empilement métal M_7 et alucap (AP). Les pertes résistives sont réduites dues à l'épaisseur des métaux. Les deux plots de masse sont formés par l'empilement de tous les niveaux d'interconnexion. Un plan de masse formé des métaux M_1 et M_2 forme un écran sous le plot signal par rapport au substrat. Dans le sens vertical, l'épaisseur d'oxyde entre le plot signal et le plan de masse est d'environ 3 μm .

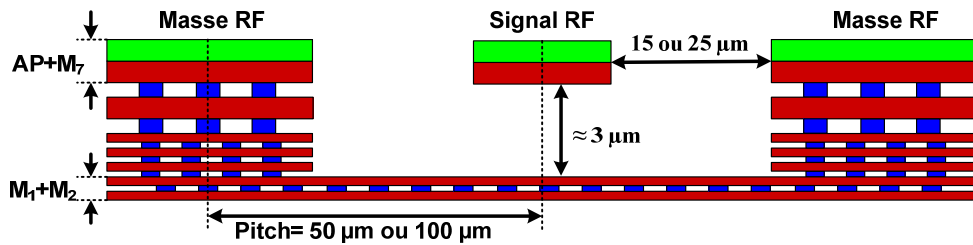


Figure III-9 : Schéma simplifié d'un plot de mesure RF GSG utilisé pour la caractérisation des circuits intégrés sur silicium.

Ces plots sont dimensionnés en respectant les règles de dessin en fonction du pitch utilisé (50 ou 100 μm). Le plot central présente des dimensions de 30 $\mu\text{m} \times 50 \mu\text{m}$ dans le cas de pitch à 50 μm et de 50 $\mu\text{m} \times 80 \mu\text{m}$ pour le pitch de 100 μm . Les masses RF sont disposés à 15 μm (pour un pitch = 50 μm) ou 25 μm (pour un pitch = 100 μm) du plot signal. Pour une telle topologie et pour les dimensions choisies, le plot RF peut être modélisé en première approximation par une capacité vers la masse, cette capacité peut être approximativement calculée à partir des dimensions physiques par l'équation (III-2), avec ϵ_0 la permittivité du vide, ϵ_r la permittivité diélectrique, S_{signal} la surface du plot signal et h l'épaisseur du diélectrique ($\approx 3 \mu\text{m}$).

$$C = \epsilon_0 \epsilon_r \frac{S_{\text{signal}}}{h} \quad (\text{III-2})$$

Afin d'obtenir une modélisation précise des plots RF prenant en compte l'intégralité des effets parasites (capacité existant entre le plot signal et les plots de masse latéraux, effet inductif induit par les métallisations, pertes), nous avons simulé ces plots RF à l'aide des simulations électromagnétiques HFSSTM. Un modèle RLGC des pointes avec lignes d'accès est ensuite extrait pour différentes dimensions des plots (pitch à 50 et 100 μm) à la fréquence de 60 GHz. Le schéma électrique

équivalent est obtenu fonction de la largeur du plot signal, comme le montre la **Figure III-10**. Les paramètres R_0 , L_0 , G_0 et C_0 correspondent à la demie largeur du plot signal en considérant que la sonde de mesure est positionnée au centre du plot.

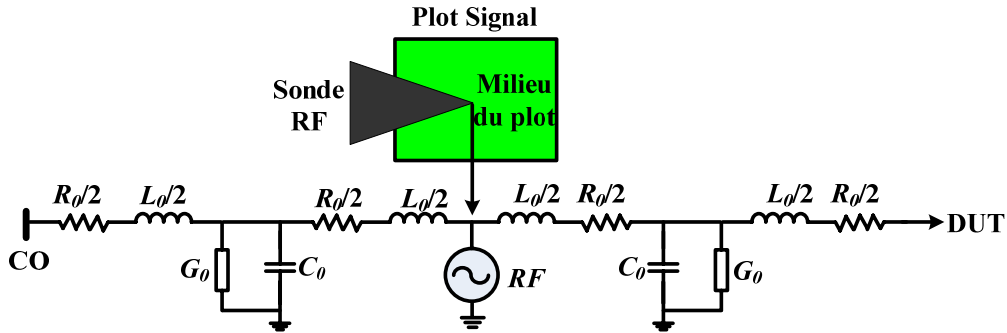


Figure III-10 : Schéma équivalent d'un plot de mesure RF de la configuration GSG.

Dans le cas d'une configuration GSG, les paramètres des modèles équivalents à 60 GHz pour des plots RF ayant un pitch de 50 μm et 100 μm en CMOS 65 nm sont récapitulés dans le **Tableau III-3**.

pitch	R_0	L_0	G_0	C_0
50 μm	0,1 Ω	2,35 pH	$6,5 \text{ e}^{-4} \text{ S}$	11,5 fF
100 μm	0,15 Ω	2,7 pH	$2 \text{ e}^{-4} \text{ S}$	32,5 fF

Tableau III-3 : Paramètres des modèles équivalents des plots RF à 60 GHz en technologie CMOS 65 nm.

Le modèle équivalent a été validé par des mesures pour le plot à pitch de 50 μm en technologie CMOS 65 nm, comme le montre la **Figure III-11**. Les paramètres Y_{11} du plot « open » sont en bon accord entre la mesure et la simulation.

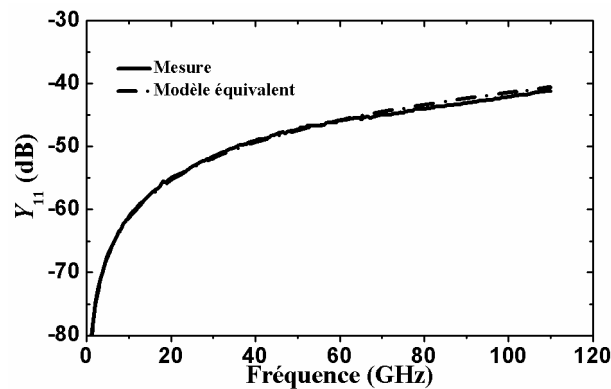


Figure III-11 : Comparaison du paramètre Y_{11} entre la mesure et le modèle équivalent de la structure « open » du plot de pitch 50 μm en technologie CMOS 65 nm.

Pour caractériser l'amplificateur de puissance différentiel que nous avons réalisé, nous avons aussi utilisé des plots avec une configuration GSGSG. Cette configuration utilise deux plots RF de type GSG disposés en série, comme le montre la **Figure III-12**. Le pitch est de 100 μm , le modèle électrique est identique à celui du plot GSG de pitch 100 μm .

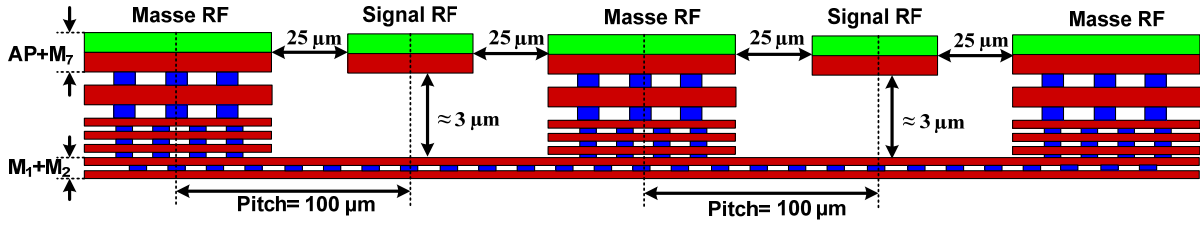


Figure III-12 : Schéma simplifié d'un plot de mesure RF GSGSG utilisé pour la caractérisation des circuits à quatre ports intégrés sur silicium.

III.3 Réalisation d'un PA intégrant des lignes S-CPW à 60 GHz en technologie CMOS 65 nm

A présent, nous disposons des modèles électriques des composants passifs utilisés dans les structures des circuits que nous avons réalisés. Dans cette partie, nous présentons la réalisation d'un amplificateur de puissance cascadié à trois étages fonctionnant à 60 GHz utilisant les lignes S-CPW en CMOS 65 nm. Cet amplificateur de puissance a été conçu en respectant les règles d'électro-migration à la température de 105°C. La méthode de conception de l'amplificateur est tout d'abord détaillée, puis nous présentons les résultats de mesure de cet amplificateur.

III.3.1 Méthode de conception utilisée

III.3.1.1 Topologie et classe de fonctionnement

La première étape consiste à choisir la topologie et la classe de fonctionnement de l'amplificateur adaptées à notre application. Le montage en source commune est la topologie la plus utilisée pour la conception d'amplificateurs de puissance. Contrairement à la topologie cascode, le montage en source commune est simple et celle qui permet d'obtenir la puissance la plus élevée pour une tension d'alimentation donnée [Razavi, 00]. Cependant, contrairement au montage cascode, cette topologie peut être instable du fait de l'effet Miller et nous devons veiller à assurer la stabilité inconditionnelle de chaque étage lors de la conception de circuit.

Concernant la classe de fonctionnement, nous avons choisi la classe A qui est la meilleure en terme de linéarité [Razavi, 97]. D'après la **Figure III-13**, lorsque le transistor est polarisé en classe A et que la charge est connectée à la masse, le courant drain-source de polarisation DC I_{ds} est exprimé selon l'équation (III-3), avec R_L la résistance de charge ramenée dans le plan drain-source du transistor.

$$I_{ds} = \frac{V_{dd}}{R_L} \quad (\text{III-3})$$

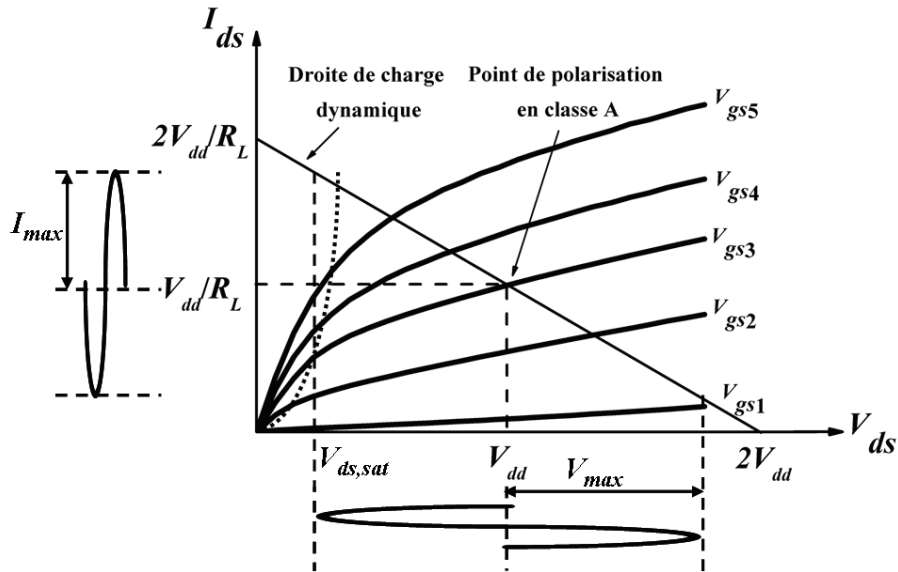


Figure III-13 : Droite de charge dynamique d'un transistor MOS.

III.3.1.2 Détermination du nombre d'étages

Le nombre d'étages dépend du gain en puissance de l'amplificateur que nous désirons. Nous avons évoqué dans la partie I.2.2.3 que le gain maximum disponible par étage dépend de la densité du courant pour une technologie CMOS donnée. Les transistors ont donc été polarisés à une densité du courant d'environ 0,4 mA/μm, correspondant à la fréquence de transition maximale et au *MAG* maximum (cf. I.2.2.3). Le gain disponible en fonction de la fréquence pour un transistor en CMOS 65 nm ($W = 108 \mu\text{m}$) polarisé à cette densité de courant est représenté sur la **Figure III-14**. A 60 GHz, le *MAG* est d'environ 9,5 dB. En évaluant des pertes de l'ordre de 3 à 4 dB par étage introduites par les réseaux passifs d'adaptation en entrée et en sortie, notamment dans les lignes de propagation, nous avons donc besoin de trois étages pour notre amplificateur si nous visons un gain en puissance de l'ordre de 20 dB à 60 GHz. Nous verrons dans le paragraphe suivant comment déterminer les dimensions de ces trois étages.

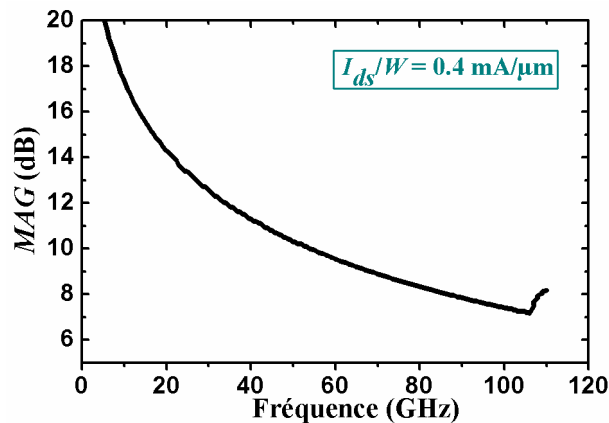


Figure III-14 : Gain *MAG* d'un transistor ($W = 108 \mu\text{m}$) polarisé à une densité de courant de 0.4 mA/μm en technologie CMOS 65 nm.

III.3.1.3 Choix des dimensions des transistors : W et W_f

La **Figure III-15** montre la topologie repliée utilisée pour les MOS de chaque étage de l'amplificateur ainsi que les trois accès. La largeur totale W du transistor, la largeur d'un doigt de grille W_f , et le nombre de doigts sont reliés entre eux par la relation (III-4).

$$W = W_f \times N \quad (\text{III-4})$$

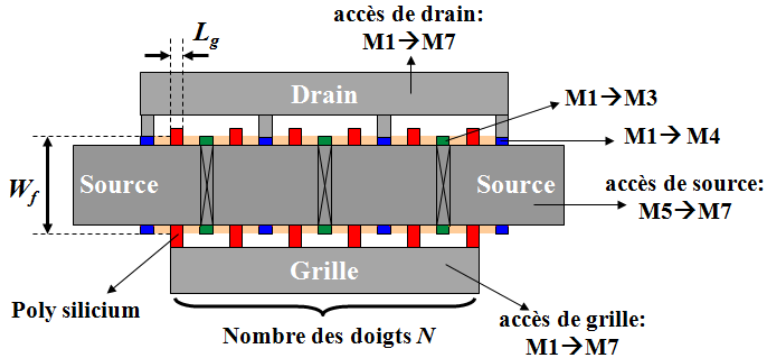


Figure III-15 : Schéma vue de dessus des accès d'électrodes d'un transistor MOS en CMOS 65 nm.

Les doigts correspondant aux accès de drain sont formés d'un empilement de trois couches métalliques inférieures ($M_1 + M_2 + M_3$). L'accès du drain est composé de l'ensemble des couches métalliques (de M_1 à M_7). L'accès de la grille est construit de la même façon et les doigts composant les accès de source sont formée d'un empilement de M_1 à M_4 , puis reliés entre eux par un ruban formant l'accès de source et composé par l'empilement des trois couches de métallisation supérieures ($M_5 + M_6 + M_7$).

La largeur d'un doigt W_f optimale peut être déterminée en respectant les règles d'électro-migration à une température fixée. Selon ces règles, l'empilement de M_1 à M_3 au niveau des doigts de drain permet de tolérer la circulation d'un courant statique maximum dans chaque doigt de l'ordre de 0,65 mA à 105 °C ($I_{DC,max} = 0,65$ mA). Combiné à la densité du courant optimale de 0,4 mA/ μ m correspondant au pic de f_t et au MAG , la largeur W_f optimale vaut 1,5 μ m selon la relation (III-5). Nous avons donc fixé la largeur de doigt W_f à 1,5 μ m pour les trois transistors utilisés.

$$W_f = \frac{I_{DC,max}}{(I_{ds} / W)_{opt}} = \frac{0,65 \text{ mA}}{0,4 \text{ mA}/\mu\text{m}} \approx 1,5 \mu\text{m} \quad (\text{III-5})$$

Concernant la largeur totale W de chaque transistor, elle est déterminée à partir d'un compromis entre le gain en puissance et le point de compression. Dans un premier temps, la taille du dernier étage est déterminée par le point de compression attendu de l'amplificateur. En effet, dans le cas d'un système cascadié de n étages, son point de compression à 1 dB en sortie OCP_{1dB} est fonction du point de compression de chaque étage ($OCP_{1dB,n}$, $OCP_{1dB,n-1}$ et ainsi de suite) et du gain de chaque étage

(G_n , G_{n-1} et ainsi de suite), comme le montre la formule (III-6) [Yao, 07]. Si nous considérons que le gain de chaque étage est suffisamment élevé, le point de compression total de la chaîne cascadée est déterminé principalement par le point de compression du dernier étage n .

$$\frac{1}{OCP_{1dB}} = \frac{1}{OCP_{1dB,n}} + \frac{1}{OCP_{1dB,n-1} \times G_n} + \frac{1}{OCP_{1dB,n-2} \times G_n \times G_{n-1}} + \dots \quad (III-6)$$

D'après [Cripps, 06] et [Yao, 07], la puissance maximale et le point de compression en sortie d'un amplificateur en classe A à un seul étage peut s'évaluer approximativement (voir **Figure III-13**) par la relation (III-7) et (III-8), où $V_{ds,sat}$ correspond à la tension de saturation du MOS et est égale à environ 0,3 V lorsque la densité de courant de polarisation est fixé à 0,4 mA/ μ m [Yao, 07]. A partir de la relation (III-8) et en fixant V_{dd} à 1,2 V, pour avoir un point de compression de 12 dBm, le courant de polarisation $I_{ds,opt}$ vaut 72 mA. Nous pouvons donc en déduire que la largeur du transistor du dernier étage W_3 doit être égale à 180 μ m correspondant à une densité de courant de 0,4 mA/ μ m et le nombre des doigts N_3 est de 120 (avec $W_f = 1,5 \mu$ m).

$$P_{max} = 10 \log \left(\frac{1}{2} V_{max} I_{max} \right) = 10 \log \left[\frac{I_{ds} (V_{dd} - V_{ds,sat})}{2} \right] \quad (III-7)$$

$$OCP_{1dB} = 10 \log \left[\frac{I_{ds,opt} (V_{dd} - V_{ds,sat})}{4} \right] \quad (III-8)$$

Les critères de choix des largeurs W_1 et W_2 des deux premiers transistors sont :

- i) Les valeurs W_1 et W_2 doivent correspondre à un nombre multiple de 1,5 μ m,
- ii) Les valeurs W_1 , W_2 et W_3 doivent satisfaire à un ordre croissant ($W_1 < W_2 < W_3$) pour maximiser la linéarité [Quemerais, 10-2],
- iii) Les points de compression en sortie de l'étage $n-1$ et en entrée de l'étage n : $OCP_{1dB,n-1} > ICP_{1dB,n}$ [Brinkhoff, 09] avec $n = 2$ et 3 .

Nous avons choisi un nombre N_1 et N_2 respectivement de 48 et 72, conduisant à W_1 de 72 μ m et W_2 de 108 μ m. Il est évident que ces dimensions vérifient les critères i) et ii). Afin d'évaluer leur pertinence sur le critère iii), nous avons simulé le gain en puissance et le point de compression en sortie pour des différentes valeurs de résistance de charge R_L pour ces trois largeurs $W_1 = 72 \mu$ m, $W_2 = 108 \mu$ m et $W_3 = 180 \mu$ m. La **Figure III-16** illustre le schéma de simulation électrique utilisé. Les capacités de liaison (DC bloc) sont des capacités MOM de valeur 200 fF disponibles dans la bibliothèque du fondeur. Toutes les simulations électriques sont faites à l'aide du logiciel Eldo sous l'environnement Cadence avec le modèle extrinsèque du transistor déterminé à l'aide de l'outil d'extraction PLS (*Post Layout Simulation*), fourni par le fondeur.

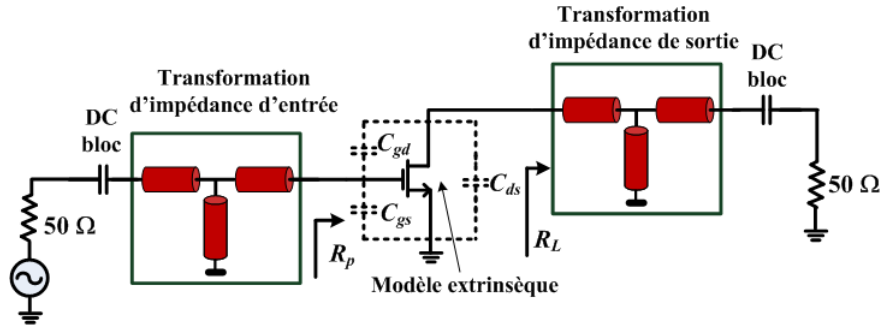


Figure III-16 : Schéma d'adaptation d'impédance en bande étroite avec les lignes de propagation pour différentes largeurs W de transistors (circuits de polarisation non représentés sur ce schéma).

Dans ces simulations, les transistors sont tous polarisés en classe A. Nous faisons en sorte que pour chaque simulation le transistor de largeur W soit adapté en entrée à 50Ω et qu'une impédance de charge R_L soit présentée au plan en sortie du transistor. Les réseaux de transformation d'impédance en entrée et en sortie du transistor sont réalisés à l'aide de lignes à ondes lentes SCPW9. Dans le plan du drain d'un transistor MOS, le réseau de transformation d'impédance de sortie chargé par 50Ω ramène dans le plan du drain la résistance de charge R_L . Le réseau d'entrée, quant à lui, permet une adaptation en puissance en entrée du MOS.

Les résultats de simulation à 60 GHz en fonction des résistances de charge sont présentés à la Figure III-17.

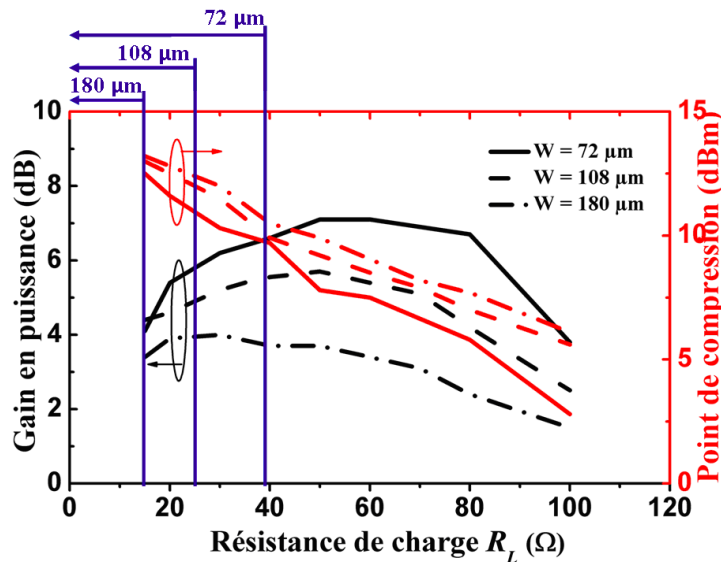


Figure III-17 : Gain en puissance et point de compression en sortie à 60 GHz en fonction des résistances de charge en CMOS 65 nm pour les transistors MOS de largeur $W = 72 \mu m$, $108 \mu m$ et $180 \mu m$. Ces transistors sont polarisés en classe A et adaptés avec les lignes à ondes lentes SCPW9.

Nous avons indiqué, pour chaque transistor, la valeur de la résistance de charge minimale permettant de respecter les règles d'électro-migration à $105^\circ C$. Cette valeur est déterminée par la relation (III-9), avec N_i le nombre des doigts de l'étage i .

$$R_{L\min,i} = \frac{V_{dd} \times 10^3}{0,65 \times N_i} \quad (i = 1, 2, 3) \quad (\text{III-9})$$

Pour les trois largeurs de transistors choisies, cette valeur minimale est respectivement de 39 Ω , 25 Ω et 15 Ω . Les deux dernières valeurs sont adoptées comme résistances de charge respectives des deux derniers étages pour satisfaire une densité de courant optimale de 0,4 mA/ μ m. En ce qui concerne le premier étage, la résistance de charge choisie proche de 50 Ω est supérieure à la valeur minimale (39 Ω). Ce choix permet de favoriser un gain proche du maximum comme nous pouvons le constater sur la **Figure III-17**. Le point de polarisation de chaque étage ainsi que leurs performances à 60 GHz sont récapitulés sur le **Tableau III-4**. Nous pouvons remarquer que la condition iii) est vérifiée pour chaque étage.

	W (μ m)	R_L (Ω)	V_{gs} (V)	I_{ds} (mA)	I_{ds}/W (mA/ μ m)	G_p (dB)	ICP_{1dB} (dBm)	OCP_{1dB} (dBm)
1 ^{er} étage	72	50	0,9	23,2	0,33	7,5	0,5	8
2 ^{ème} étage	108	25	1,0	44,5	0,41	5	6,5	11,5
3 ^{ème} étage	180	15	1,0	73,6	0,41	3,5	9,3	12,8

Tableau III-4 : Points de polarisation et performances simulées à 60 GHz de chaque étage adapté par des réseaux à lignes SCPW9.

III.3.1.4 Réseaux d'adaptation d'impédance

L'adaptation d'impédance est une étape critique lors de la conception de l'amplificateur. Pour concevoir notre amplificateur à 60 GHz, nous avons adopté une approche d'adaptation d'impédance en bande étroite en utilisant les lignes à ondes lentes (SCPW9). Nous commençons donc par la construction des réseaux de transformation d'impédance en sortie du dernier étage n , permettant de ramener la résistance $R_{L,n}$ dans le plan du drain du dernier transistor. L'étape suivante consiste à l'adaptation inter-étages dont le schéma de principe est présenté à la **Figure III-18**. Nous adaptons d'abord la sortie de l'étage avant d'adapter l'entrée. En effet, compte tenu du gain en tension entrée-sortie, l'impédance d'entrée présente une sensibilité au signal de sortie (due à la capacité C_{gd}) plus importante que dans le cas inverse.

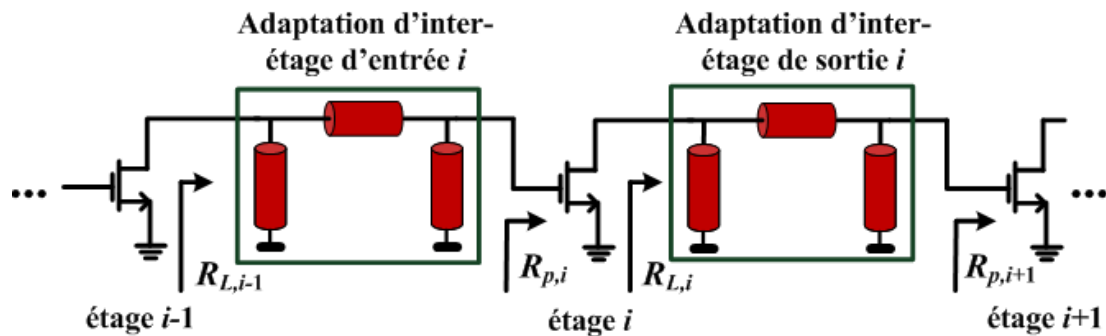


Figure III-18 : Schéma représentatif de l'approche de l'adaptation d'impédance d'inter-étage.

Le réseau en sortie de l'étage i permet de supprimer la partie imaginaire de l'impédance d'entrée de l'étage $i + 1$, afin de ramener dans le plan du drain de l'étage i une impédance réelle $R_{L,i}$ optimale au drain (transformation de $R_{p,i+1}$ en $R_{L,i}$). De la même manière, le réseau d'entrée est utilisé pour compenser la partie imaginaire de l'impédance d'entrée de l'étage i et celle présentée par le drain de l'étage $i - 1$ pour réaliser la transformation d'impédance réelle de $R_{p,i}$ à l'impédance optimale $R_{L,i-1}$.

Pour finaliser, la dernière étape consiste à réaliser un réseau d'adaptation en entrée du premier étage pour que l'amplificateur soit adapté à l'impédance de source.

La synthèse des réseaux d'adaptation de notre amplificateur se fait en quatre étapes :

- 1) Synthèse du réseau en sortie du troisième étage permettant de ramener dans le plan du drain du transistor la résistance optimale de 15Ω à partir de l'impédance de charge de 50Ω .
- 2) Synthèse du réseau en sortie du deuxième étage permettant de ramener dans le plan du drain du transistor la résistance optimale de 25Ω .
- 3) Synthèse du réseau en sortie du premier étage permettant de ramener dans le plan du drain du transistor la résistance optimale de 50Ω .
- 4) Synthèse du réseau en entrée du premier étage permettant l'adaptation avec l'impédance de source de 50Ω .

III.3.1.4.1 Stabilité de l'amplificateur

Les parties imaginaires dues aux capacités ramenées par le MOS en entrée (C_{gs} et C_{gd}) et en sortie (C_{ds}) sont compensées par l'effet inductif des stubs des réseaux d'adaptation, comme cela a été montré au paragraphe précédent. Selon la largeur W (72 à $180 \mu\text{m}$), des inductances équivalentes de valeurs comprises entre 30 pH et 100 pH sont nécessaires. Lorsque l'impédance sur le drain du MOS devient selfique (de valeur L) pour un certain domaine de fréquences, l'impédance Z_M ramenée à l'entrée par effet Miller dû à la capacité C_{gd} , comme la montre la **Figure III-19**, ramène en entrée une impédance à partie réelle négative calculée par (III-10) et peut induire une instabilité conditionnelle.

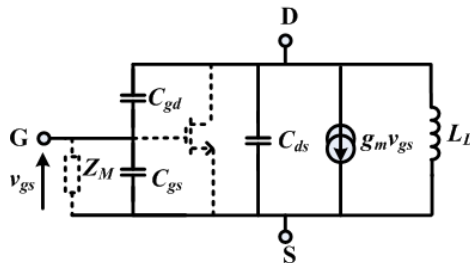


Figure III-19 : Schéma équivalent d'un transistor avec l'effet Miller.

$$Z_M = \frac{1}{jC_{gd}\omega(1 + jg_mL\omega)} = \frac{-g_mC_{gd}L\omega^2}{(g_mC_{gd}L\omega^2)^2 + (C_{gd}\omega)^2} - j \frac{C_{gd}\omega}{(g_mC_{gd}L\omega^2)^2 + (C_{gd}\omega)^2} \quad (\text{III-10})$$

Une solution pour garantir la stabilité inconditionnelle consiste à ajouter une inductance de dégénérescence L_s dans la source du transistor. Cette technique dite de « dégénérescence inductive », permet de ramener une impédance à partie réelle positive en série avec Z_M au détriment d'une dégradation de la transconductance (III-11) et par conséquent du gain du transistor [Gray, 01].

$$g_m' = \left\| \frac{g_m}{1 + g_m Z_L} \right\| = \left\| \frac{g_m}{1 + j g_m L_s \omega} \right\| = \frac{g_m}{\sqrt{1 + g_m^2 L_s^2 \omega^2}} \quad (\text{III-11})$$

III.3.1.4.2 Choix de l'impédance caractéristique des lignes de propagation

Le but est d'utiliser des lignes présentant des facteurs de qualité de valeur maximale. Dans le cas de la ligne S-CPW, son facteur de qualité peut être amélioré au détriment de l'encombrement latéral, conduisant à une surface importante sur silicium. Il est plus judicieux de mener une étude à encombrement latérale identique. Nous avons mené cette étude en nous référant aux trois lignes S-CPW à impédance caractéristique différente réalisées en technologie CMOS 45 nm (présentées au chapitre II) : SCPW6 (Z_c faible de 22 Ω), SCPW7 (Z_c moyen de 44 Ω) et SCPW8 (Z_c élevé de 64 Ω). Prenons l'exemple simple du stub en parallèle utilisé pour compenser les capacités parasites, dont le schéma équivalent est présenté sur la **Figure III-20**. L'impédance d'entrée du stub Z_e est définie par l'équation (III-12) en fonction de l'impédance caractéristique Z_c , de l'exposant de propagation γ et de la longueur physique de la ligne l . Dans le cas d'une ligne de longueur électrique βl inférieure à $\pi/2$, cette impédance d'entrée est alors de type inductif (III-13). Une inductance de valeur L à une fréquence f_0 donnée (60 GHz dans notre cas) peut alors être synthétisée. Les pertes totales α_t induites par le stub (III-14) dépendent de l'impédance caractéristique Z_c de la ligne de propagation.

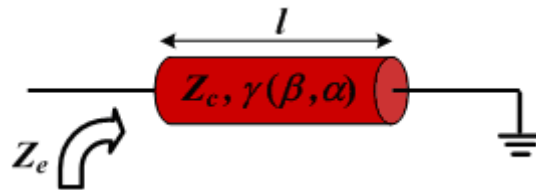


Figure III-20 : Schéma d'un stub en parallèle de compensation des capacités parasites.

$$Z_e = Z_c \tanh(\alpha l + j\beta l) \approx jZ_c \tan(\beta l) \text{ dans le cas sans pertes} \quad (\text{III-12})$$

$$Z_e = j2\pi f_0 L \quad (\text{III-13})$$

$$\alpha_t = \alpha l \quad (\text{III-14})$$

La **Figure III-21** représente la comparaison entre les pertes totales et la longueur physique nécessaire pour réaliser des inductances à 60 GHz dont la valeur varie entre 0 et 300 pH en utilisant les trois lignes précédentes.

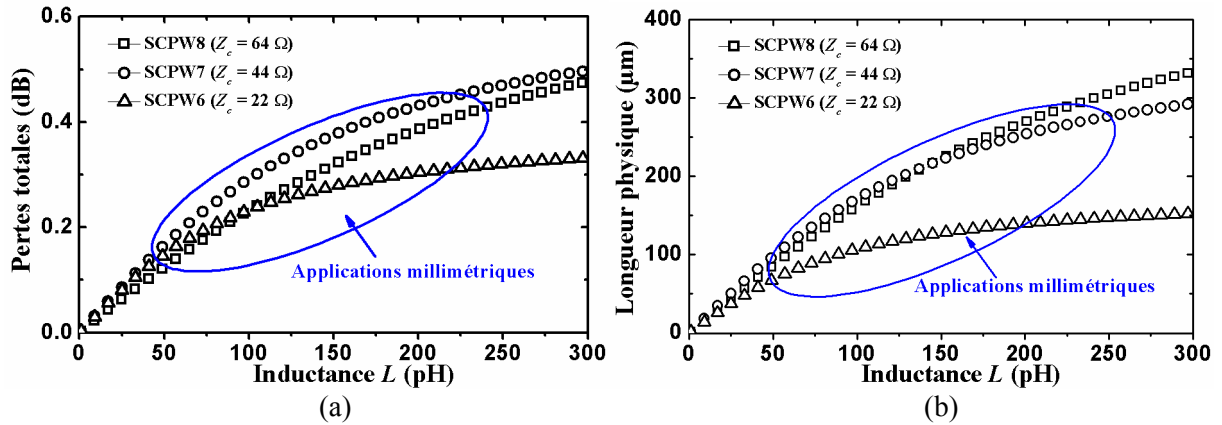


Figure III-21 : (a) pertes totales, (b) longueur physique d'un stub en court-circuit à 60 GHz avec les lignes S-CPW à différentes impédances caractéristiques réalisées et caractérisés en CMOS 45 nm.

Les valeurs d'inductance souvent utilisées pour réaliser des fonctions millimétriques sont généralement comprises entre 50 et 250 pH [Doan, 05]. Les pertes totales dépendent peu de l'impédance caractéristique pour de faibles valeurs d'inductances (< 100 pH), comme le montre la **Figure III-21 (a)**. Au-delà de cette valeur d'inductance à synthétiser, les pertes totales engendrées sont plus faibles pour la ligne de faible impédance caractéristique SCPW6 qui présente le meilleur facteur de qualité à 60 GHz en comparaison avec les deux autres lignes (cf. **Tableau II-1** de Chapitre II). Par ailleurs, grâce à une forte permittivité relative effective, cette ligne à faible impédance caractéristique présente un grand avantage en terme de longueur physique (réduction d'un facteur deux pour une inductance L de 150 pH), comme le montre la **Figure III-21 (b)**.

C'est pourquoi nous avons adopté la ligne SCPW6 pour réaliser l'amplificateur de puissance à un seul étage en CMOS 45 nm (cf. II.5.2). De même, nous avons utilisé la ligne SCPW9 à faible impédance caractéristique ($< 30 \Omega$) présentée au chapitre II pour réaliser les amplificateurs en 65 nm.

III.3.1.5 Simulation et dessin de l'amplificateur

Le schéma complet de l'amplificateur de puissance à trois étages fonctionnant à 60 GHz en classe A est présenté à la **Figure III-22**. Les circuits de polarisation sont inclus dans le schéma. La tension sur la grille de chaque transistor ($V_{gs1} = 0,9$ V, $V_{gs2} = 1$ V, $V_{gs3} = 1$ V) est imposée à travers une résistance en poly-silicium de grande valeur ($R = 2$ k Ω) et les stubs sont réalisés avec des lignes S-CPW. Les capacités de découplage sur la grille $C_{dec,G}$ et sur le drain $C_{dec,D}$ sont de type MOM issues de la librairie du *Design Kit* et modélisées par le fondeur. Afin de faciliter le dessin, $C_{dec,G}$ et $C_{dec,D}$ sont réalisées respectivement par la mise en parallèle de quatre et de six capacités MOM de 200 fF ($C_{dec,G} = 0,8$ pF, $C_{dec,D} = 1,2$ pF).

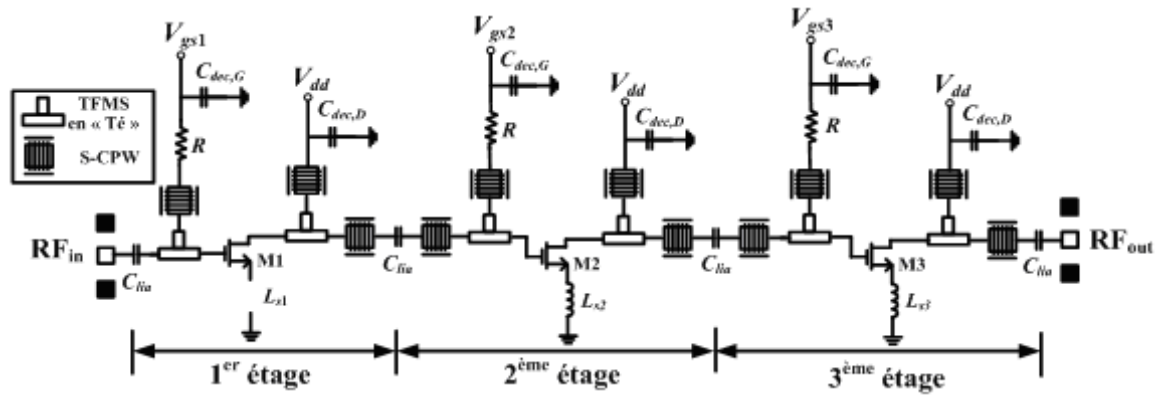


Figure III-22 : Schéma de l'amplificateur de puissance à 60 GHz cascadié à trois étages fonctionnant en classe A en technologie CMOS 65 nm.

Pour des raisons d'encombrement latéral de la ligne SCPW9 ($\approx 70 \mu\text{m}$), les jonctions en «Té» sont réalisées avec des lignes microruban de faible longueur (de l'ordre de $15 \mu\text{m}$), permettant de relier le stub parallèle en SCPW9 à la ligne série en SCPW9. La ligne microruban utilisée (cf. TFMS2 de **Tableau II-1**) a été optimisée de façon à avoir la même impédance caractéristique que la ligne SCPW9 pour éviter une rupture d'impédance. Son impact sur les performances de l'amplificateur est négligeable. Concernant la stabilité de l'amplificateur, les inductances de dégénérescence de source sont synthétisées par les accès de source des transistors ($L_{s1} = 9 \text{ pH}$, $L_{s2} = 13 \text{ pH}$, et $L_{s3} = 18 \text{ pH}$). Enfin, le modèle des plots de mesure RF de configuration GSG (pitch = $100 \mu\text{m}$) est pris en compte dans la simulation. La longueur de lignes S-CPW constituant les réseaux d'adaptation en entrée du premier étage et en sortie du dernier étage a été modifiée pour compenser l'effet capacitif ramené par ces plots.

La photomicrographie de l'amplificateur est présentée à la **Figure III-23**. Le PA occupe une surface de $0,52 \text{ mm}^2$ ($875 \mu\text{m} \times 600 \mu\text{m}$) en incluant les plots. La surface active est de $0,24 \text{ mm}^2$. Un plan de masse comportant des trous pour respecter les règles de densité est réalisé sur toute la puce.

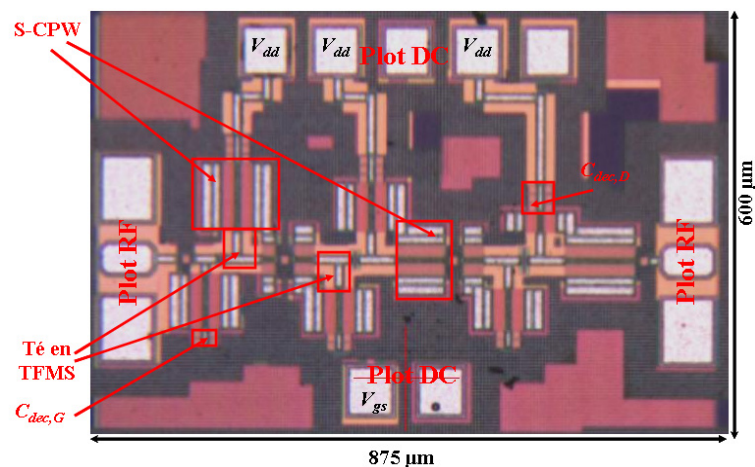


Figure III-23 : Photo de l'amplificateur de puissance à 60 GHz cascadié à trois étages fonctionnant en classe A en technologie CMOS 65 nm.

III.3.1.6 Organigramme résumant les différentes étapes de conception de l'amplificateur

L'organigramme de la **Figure III-24** résume les différentes étapes de conception de l'amplificateur en source commune.

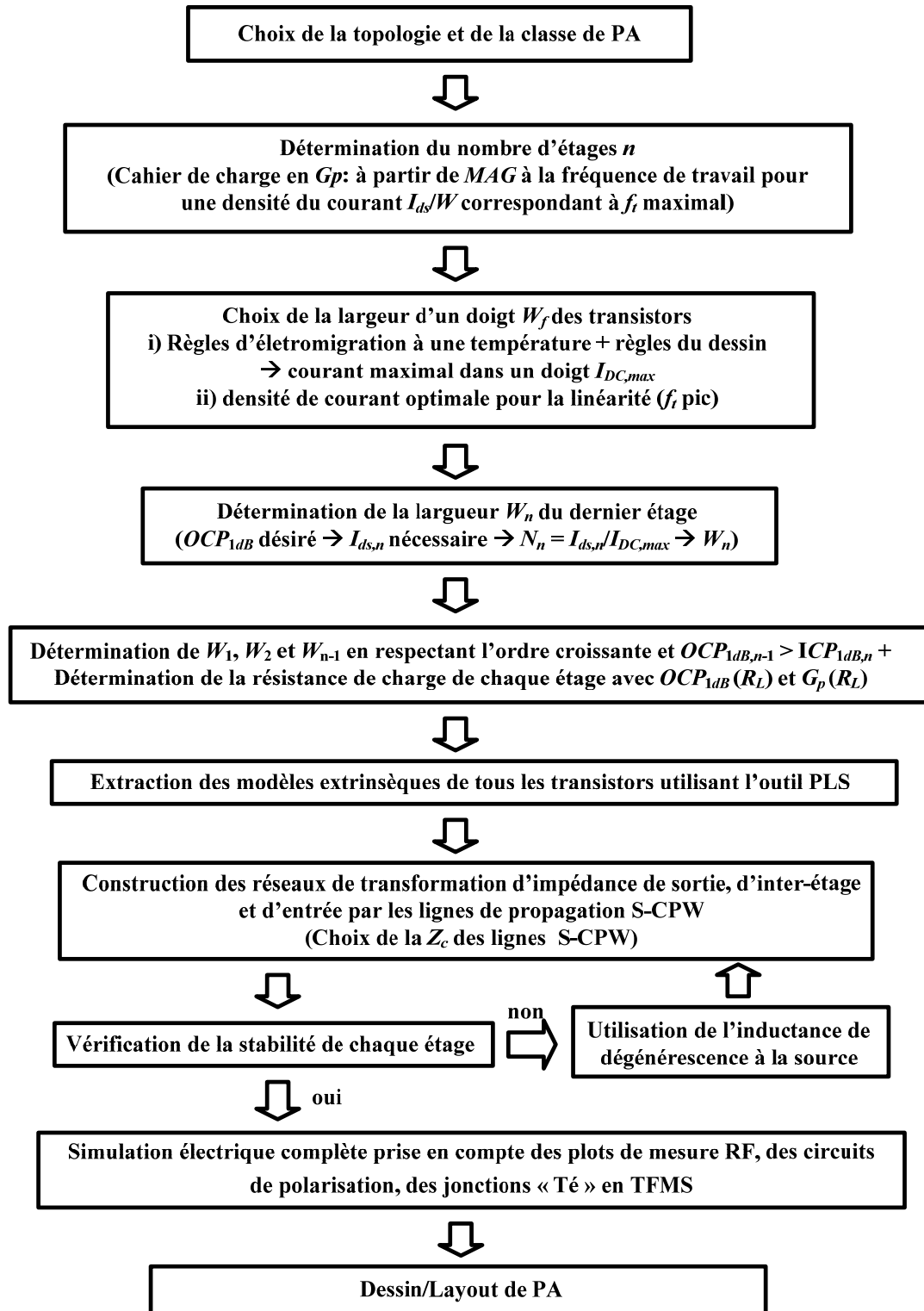


Figure
III-24 : Organigramme présentant la méthode de conception des amplificateurs de puissance millimétriques intégrés sur silicium.

III.3.2 Performances des amplificateurs

III.3.2.1 Comparaison des performances simulées avec un PA intégrant des lignes TFMS

Cette section traite la comparaison des performances simulées de deux amplificateurs à trois étages en technologie CMOS 65 nm l'un (PA/S-CPW) utilisant des lignes à ondes lentes SCPW9 et l'autre (PA/TFMS) utilisant des lignes microruban TFMS2. Pour les deux amplificateurs, les transistors utilisés sont les mêmes qui sont polarisés de même manière et les longueurs électriques de lignes S-CPW et de lignes TFMS2 choisies sont identiques. Sur la **Figure III-25**, les performances mesurées de ces lignes sont comparées en fonction de la fréquence.

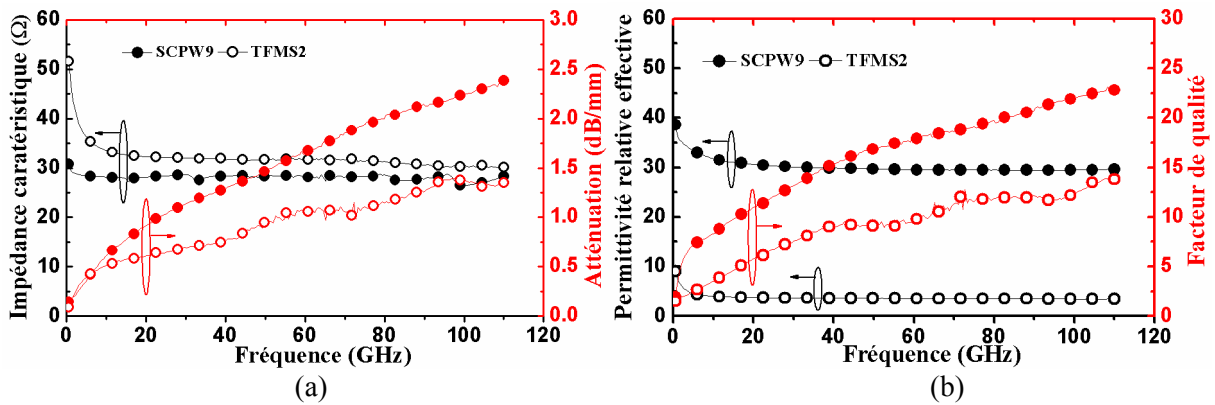


Figure III-25: Comparaison des performances mesurées des lignes S-CPW avec les lignes TFMS utilisées dans la conception des PAs en technologie CMOS 65 nm sur (a) Z_c et α , (b) ϵ_{reff} et Q .

L'impédance caractéristique de la ligne SCPW9 et TFMS2 sont légèrement différentes (28 Ω pour SCPW9 contre 31 Ω pour TFMS2). La permittivité relative effective est seulement de 3,6 pour la ligne TFMS2 et de 29,5 pour la ligne SCPW9. Leurs pertes linéiques, quant à elles, sont respectivement de 1,1 dB/mm(TFMS2) et 1,64 dB/mm (SCPW9) à 60 GHz, conduisant à un facteur de qualité quasiment deux fois supérieur pour la ligne SCPW9 ($Q = 18$) en comparaison avec la ligne TFMS2 ($Q = 10$).

Les performances simulées en petits et grands signaux pour les deux amplificateurs sont présentées sur la **Figure III-26** et récapitulées également dans le **Tableau III-5**.

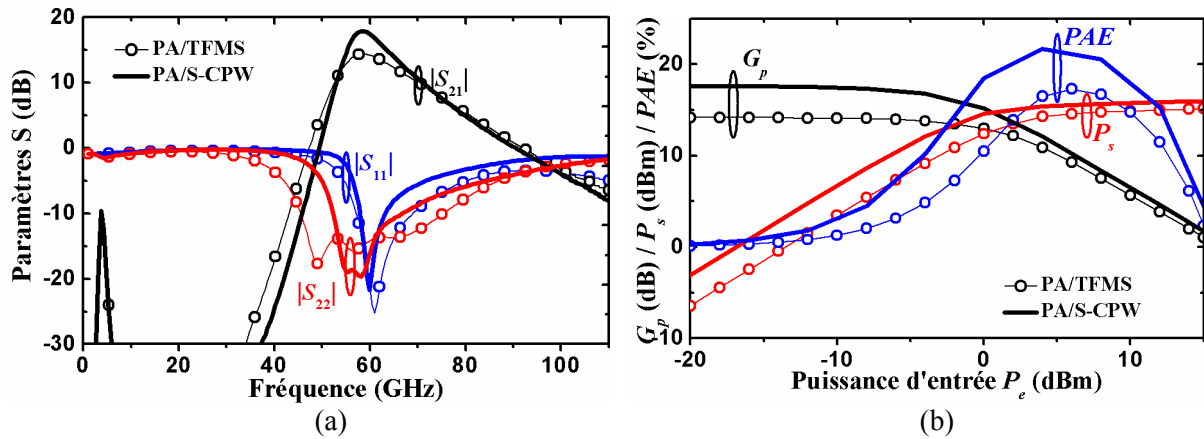


Figure III-26 : Comparaison des performances simulées de l'amplificateur de puissance PA/S-CPW et PA/TFMS en technologie CMOS 65 nm. (a) en petits signaux, (b) en grands signaux à 60 GHz.

	f (GHz)	G_p (dB)	$ S_{11} $ (dB)	$ S_{22} $ (dB)	OCP_{1dB} (dBm)	P_{sat} (dBm)	PAE (%)	P_{DC} (mW)
PA/S-CPW	60	17,8	-20	-18	12,8	16	22	170
PA/TFMS	60	14,4	-20	-14	11	15	16	170

Tableau III-5 : Résumé des performances simulées des amplificateurs de puissance en technologie CMOS 65 nm utilisant respectivement des lignes SCPW9 et des lignes TFMS2.

La stabilité inconditionnelle de ces deux amplificateurs est vérifiée sur toute la bande de fréquence comprise entre DC et 110 GHz. A la même fréquence de fonctionnement, le gain en puissance de l'amplificateur à lignes S-CPW est 3,4 dB supérieur (17,8 dB contre 14,4 dB). Leurs points de compression sont respectivement de 12,8 et 11 dBm alors que les puissances de saturation sont respectivement de 16 dBm et 15 dBm. Avec la même consommation en puissance, l'amplificateur utilisant des lignes à ondes lentes présente un meilleur rendement maximum (PAE maximal de 22 % contre 16 % avec les lignes TFMS). Ces résultats permettent de montrer l'intérêt des lignes S-CPW pour la réalisation d'un amplificateur de puissance en bande millimétrique.

III.3.2.2 Performances mesurées de l'amplificateur réalisé avec des lignes S-CPW

L'amplificateur de puissance PA/S-CPW a été caractérisé sur le banc 110 GHz de l'IMEP-LAHC. Nous avons adopté la méthode de calibrage de type LRRM pour la mesure en petit signal (paramètres S). La caractérisation en fort signal (puissance de sortie et point de compression) est effectuée grâce à l'utilisation d'un amplificateur de puissance externe. Cet amplificateur externe fonctionne dans la bande 55 GHz-65 GHz et peut fournir une puissance maximale d'environ 12 dBm en entrée de l'amplificateur sous test afin d'atteindre son point de compression en sortie.

La **Figure III-27** montre les performances en petit signal mesurées et simulées de l'amplificateur. La fréquence mesurée correspondant au gain maximum est décalée de 10 % (55 GHz au lieu de 60 GHz) par rapport à celle prévue en simulation.

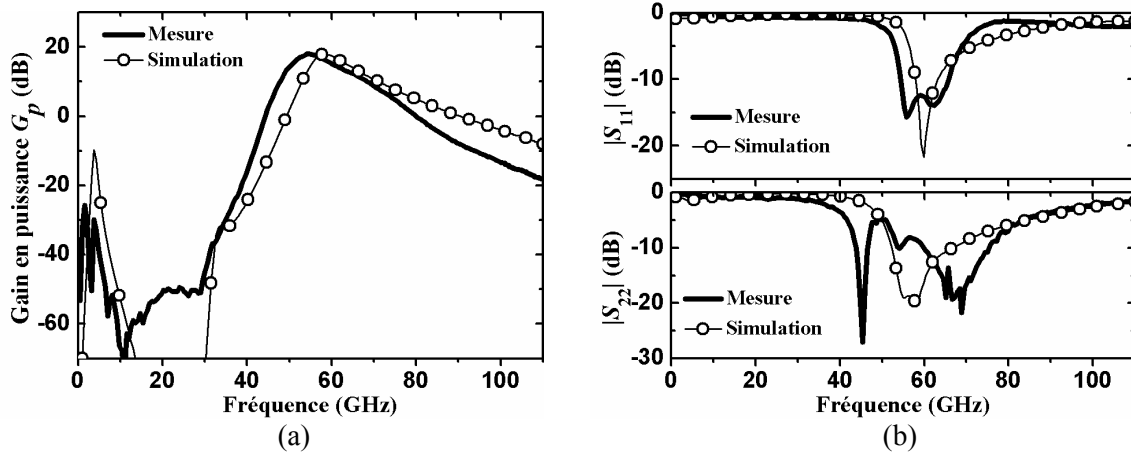


Figure III-27 : Comparaison entre mesures et simulation des paramètres S de l'amplificateur PA/S-CPW (a) $|S_{21}|$, (b) $|S_{11}|$ et $|S_{22}|$.

L'amplificateur présente un gain en puissance mesuré en petit signal de 18,3 dB à 55 GHz sous 1,2 V, avec le courant de polarisation de chaque étage respectivement de 21, 40 et 69 mA. Les paramètres de réflexion $|S_{11}|$ et $|S_{22}|$ (Figure III-27 (b)), sont inférieurs à -10 dB autour de la fréquence de gain maximum. En ce qui concerne la mesure du paramètre $|S_{22}|$, nous constatons plusieurs pics de résonance non prévues (à 45 GHz et à 70 GHz) par la simulation. L'amplificateur est inconditionnellement stable sur toute la bande de fréquence, comme le montre la Figure III-28.

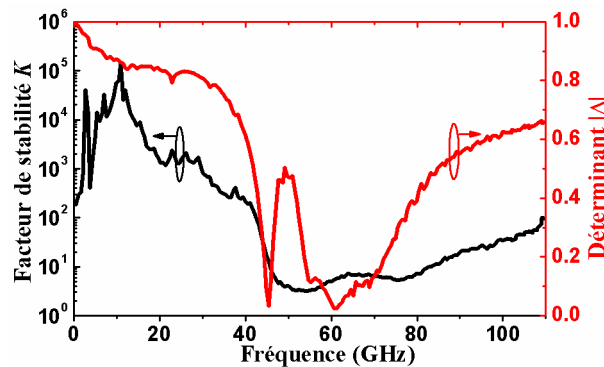


Figure III-28 : Facteur de stabilité et déterminant mesurés de l'amplificateur PA/S-CPW.

Afin d'expliquer les décalages entre mesures et simulations initiales, quatre raisons ont été évoquées et validées lors de rétro-simulations :

- Prise en compte des performances mesurées des lignes de propagation utilisées : ligne à ondes lentes SCPW9 et la ligne microruban TFMS2 de la jonction « T ». Des circuits de test de ces lignes ayant été placés sur le même wafer que le PA.
- Prise en compte du modèle électrique précis des plots de mesure RF (cf. III.2.2). Ce modèle ayant été développé postérieurement à la fabrication de l'amplificateur.

- Optimisation des valeurs des inductances de dégénérescence induites par les accès « source » des transistors. En effet, il est difficile lors des simulations de prédire de façon très précise le comportement inductif de ces accès. Dans la rétro-simulation, nous avons utilisé les valeurs des inductances suivantes : $L_{s1} = 3,5$ pH, $L_{s2} = 5$ pH et $L_{s3} = 8$ pH.
- Prise en compte de l'effet inductif des capacités MOM issues du DK. En effet, nous nous sommes aperçus que ces inductances d'accès n'avaient pas été introduites dans le modèle des capacités fournies par le fondeur. L'ajout d'une inductance de 15 pH dans le modèle de la capacité MOM de 200 fF permet de décaler la fréquence de fonctionnement d'environ 2 GHz.

En tenant compte de ces quatre modifications, nous obtenons après rétro-simulation des paramètres S très proches de ceux mesurés, comme le montre la **Figure III-29**.

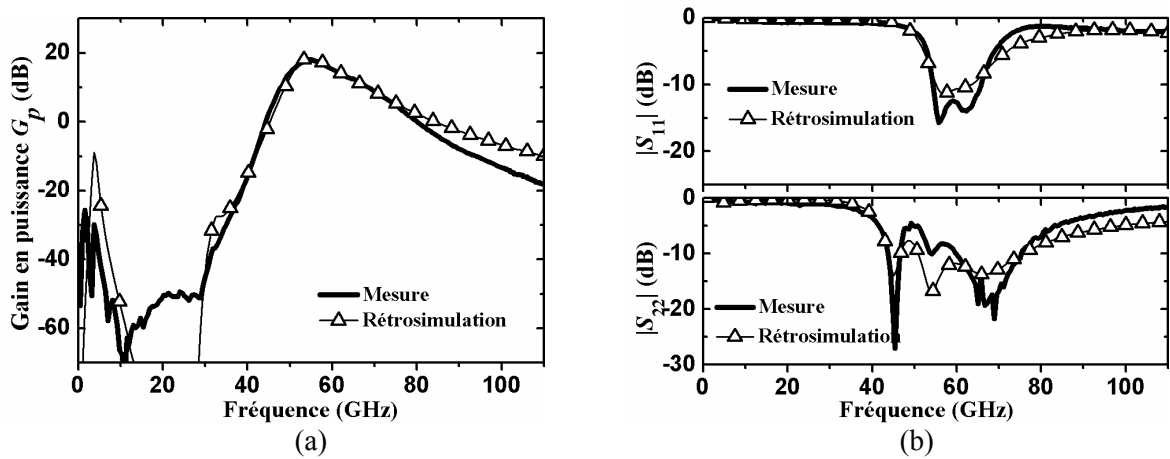


Figure III-29 : Comparaison entre mesures et rétro-simulation des paramètres S de l'amplificateur PA/S-CPW (a) $|S_{21}|$, (b) $|S_{11}|$ et $|S_{22}|$.

Les performances grands signaux mesurées et rétro-simulées à 55 GHz et simulés à 60 GHz sont comparées sur la **Figure III-30**.

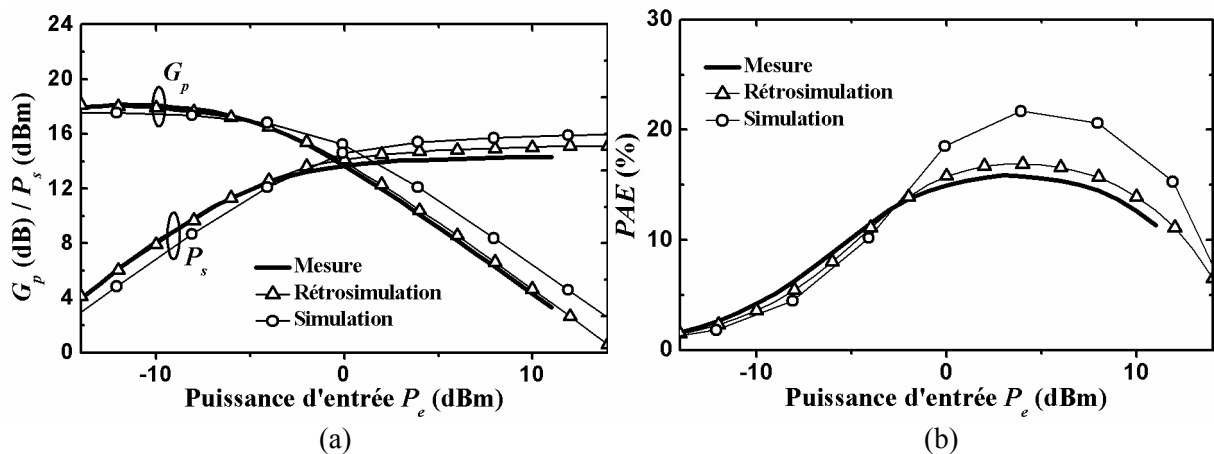


Figure III-30 : Comparaison des performances en grands signaux de l'amplificateur de puissance à 55 GHz (mesure et rétro-simulation) et à 60 GHz (simulation) en CMOS 65 nm. (a) G_p et P_s , (b) PAE.

Le point de compression mesuré en sortie de l'amplificateur est de 12 dBm, légèrement inférieur à celui obtenu en simulation (12,8 dBm). Avec une consommation de puissance en DC de 156 mW, la puissance de sortie maximale est de 14,2 dBm, conduisant à une efficacité en puissance ajoutée de 16 %. Le facteur de mérite mesuré de l'amplificateur est de 861 W·GHz². La simulation prédit 16 dBm en puissance de saturation et 22 % en rendement, conduisant à un facteur de mérite de 1900 W·GHz². Les résultats de rétro-simulation sont proches de ceux mesurés. Ceci valide de nouveau l'approche adoptée basée sur l'amélioration des modèles des composants passifs intégrés avec le PA.

Nous regroupons les résultats de mesure et de rétro-simulation à 55 GHz et ceux de la simulation à 60 GHz dans le **Tableau III-6**.

	f (GHz)	G_p (dB)	$ S_{11} $ (dB)	$ S_{22} $ (dB)	OCP_{1dB} (dBm)	P_{sat} (dBm)	PAE (%)	P_{DC} (mW)	FoM (W·GHz ²)
simulation	60	17,8	-20	-18	12,8	16	22	170	1900
mesure	55	18,3	-11	-10	12	14,2	16	156	861
rétrosimulation	55	18,5	-10	-17	12,1	15	17	170	1150

Tableau III-6 : Performances récapitulées de l'amplificateur PA/S-CPW conçu en CMOS 65 nm.

III.4 Réalisation d'un PA pseudo différentiel à 60 GHz en 65 nm

Nous avons également réalisé un amplificateur de puissance pseudo différentiel à trois étages en classe A travaillant à 60 GHz en technologie CMOS 65 nm. Le schéma de l'amplificateur est présenté sur la **Figure III-31**, incluant les circuits de polarisation de chaque étage.

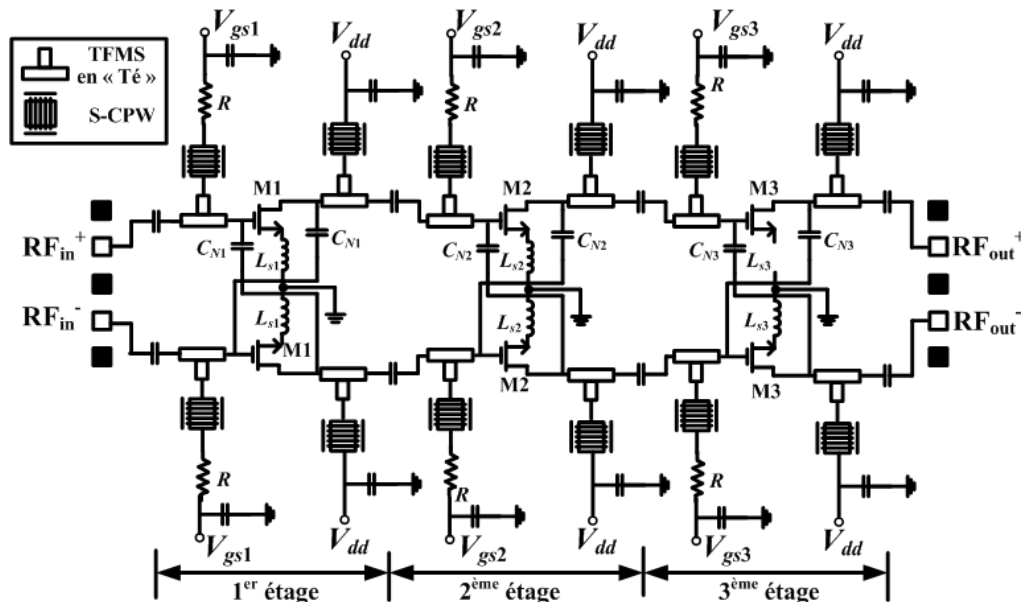


Figure III-31 : Schéma électrique de l'amplificateur différentiel à trois étages en classe A fonctionnant à 60 GHz en technologie CMOS 65 nm.

Il est formé de deux amplificateurs PA/SCPW (de même type que celui étudié précédemment) placés en parallèle. Cependant, il faut noter que seuls les stubs dans les réseaux d'adaptation sont

réalisés avec les lignes à ondes lentes SCPW9, les lignes de propagation série sont de type microruban (i.e. TFMS2). Le choix de cette configuration est motivé par l'encombrement latéral plus faible de lignes microruban par rapport à celui des lignes S-CPW, ce qui permet un dessin plus compact de l'amplificateur sous sa forme différentielle.

La topologie différentielle permet théoriquement de doubler la puissance de sortie sans dégrader la valeur de l'efficacité en puissance ajoutée. De plus, la topologie différentielle permet, grâce à l'ajout de capacités de neutralisation C_{Ni} , de compenser partiellement l'effet Miller dû aux capacités C_{gd} , et d'augmenter le gain en puissance. Le principe de la technique de neutralisation sera détaillé dans la section suivante. La méthodologie de conception de l'étage simple est identique à celle présentée dans la partie III.3 (cf. **Figure III-24**). La **Figure III-32**, montre la photomicrographie de l'amplificateur différentiel réalisé. Les dimensions du circuit sont de $1290 \mu\text{m} \times 670 \mu\text{m} = 0,86 \text{ mm}^2$ en incluant les plots de caractérisation pour une surface active de l'amplificateur de l'ordre de $0,55 \text{ mm}^2$.

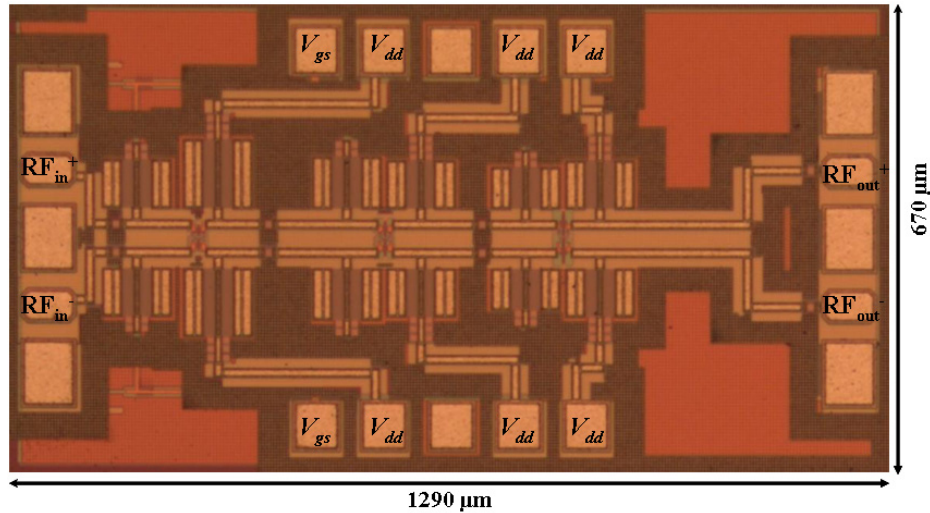


Figure III-32 : Micrographie de l'amplificateur différentiel à 60 GHz utilisant les lignes à ondes lentes S-CPW et lignes microruban réalisé en CMOS 65 nm.

III.4.1 Technique de neutralisation

Dans le cas de la topologie en source commune, nous avons vu au paragraphe III.3.1.4.1 que le couplage entrée-sortie dû à la capacité C_{gd} du MOS introduit un facteur d'instabilité qui peut être annulé en ajoutant une inductance de dégénérescence dans la source du transistor. La technique de neutralisation consiste à compenser cet effet en additionnant un couplage capacitif de signe opposé à celui dû à la capacité C_{gd} [Lee, 98]. Pour la topologie différentielle dont le schéma est présenté à la **Figure III-33**, la compensation se fait par deux capacités de neutralisation C_N inter-connectées entre la grille et le drain d'une paire de transistors différentiels (M et M'). Cette technique de compensation est couramment utilisée dans la littérature dans les structures différentielles [Chan, 10], [Brinkhoff, 09], [Wang, 11], [Yu, 10], [Deferm, 11], [Boers, 10], [Bi, 10], [Zhao, 11].

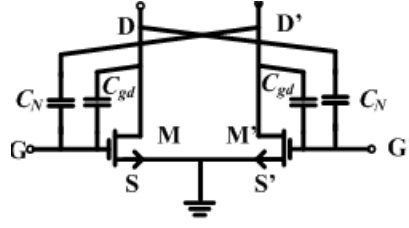


Figure III-33 : Schéma de présentation de la technique de neutralisation appliquée sur une paire de transistors différentiels.

Le courant traversant la capacité de neutralisation est de même amplitude mais de signe opposé au courant traversant la capacité C_{gd} . Cette technique permet d'améliorer le gain de l'amplificateur en assurant la stabilité à condition que la valeur des capacités de neutralisation soit correctement choisie. Par exemple, dans le cas où la capacité C_{gd} est trop compensée ($C_{gd} \ll C_N$), l'amplificateur risque de devenir instable [Chan, 10]. Nous récapitulons dans le **Tableau III-7** les performances simulées à 60 GHz de chaque étage différentiel en fonction des valeurs de capacité de neutralisation comprises entre 0 (i.e. sans neutralisation) et 30 fF. Chaque étage est adapté en entrée à 100Ω et en sortie à une charge différentielle optimale R_{Li} ($i = 1, 2, 3$) correspondante ($R_{L1} = 100 \Omega$, $R_{L2} = 50 \Omega$ et $R_{L3} = 30 \Omega$) utilisant les réseaux d'adaptation à base de lignes S-CPW et TFMS.

	1 ^{er} étage ($W_1 = 72 \mu\text{m}$)			2 ^{ème} étage ($W_2 = 108 \mu\text{m}$)			3 ^{ème} étage ($W_3 = 180 \mu\text{m}$)		
C_{Ni} (fF)	ICP_{1dB} (dBm)	OCP_{1dB} (dBm)	G_p (dB)	ICP_{1dB} (dBm)	OCP_{1dB} (dBm)	G_p (dB)	ICP_{1dB} (dBm)	OCP_{1dB} (dBm)	G_p (dB)
0	3,5	10,8	7,1	9,5	14,5	5,0	13,8	16,2	2,4
10	3,1	10,6	7,5	8,6	14,0	5,4	12,8	15,6	2,6
15	2,6	10,5	7,9	8,1	13,7	5,6	12,3	15,5	2,8
20	1,7	10,3	8,5	7,4	13,3	5,9	11,4	15,0	3,1
30	0	9,7	9,9	6,3	12,9	6,6	10,4	14,4	3,6

Tableau III-7 : Performances simulées à 60 GHz de chaque étage de l'amplificateur de puissance différentiel en fonction de différentes valeurs de capacité de neutralisation en CMOS 65 nm.

Les valeurs marquées en rouge sont celles retenues pour l'amplificateur.

Nous observons une augmentation du gain en puissance G_p et une dégradation du point de compression en sortie OCP_{1dB} avec l'augmentation de la capacité de neutralisation. Nous avons choisi une valeur de 30 fF pour le premier étage pour favoriser le gain global. Des valeurs plus faibles (20 fF et 10 fF) sont utilisées respectivement pour le deuxième et le troisième étage afin d'optimiser le gain sans pour cela impacter trop le point de compression total dû principalement au dernier étage. La condition $OCP_{1dB, n-1} > ICP_{1dB, n}$ est toujours respectée entre deux étages consécutifs. Les capacités de neutralisation utilisées dans la conception sont de type MOM.

III.4.2 Performances de l'amplificateur différentiel à lignes S-CPW

III.4.2.1 Comparaisons avec un amplificateur différentiel à lignes TFMS

La **Figure III-34** compare les performances simulées de l'amplificateur utilisant les lignes à ondes lentes SCPW9 (PA diff. /S-CPW) avec la même structure utilisant uniquement les lignes

TFMS2 (PA diff./TFMS). Les performances petits signaux et grands signaux à 60 GHz sont récapitulés sur le **Tableau III-8**. Lors des simulations, les courants de polarisation de chaque étage simple sont identiques à ceux de l'amplificateur PA/S-CPW (cf. **Tableau III-4**). Les amplificateurs différentiels consomment donc chacun en simulation une puissance totale de 340 mW sous une tension V_{dd} de 1,2 V.

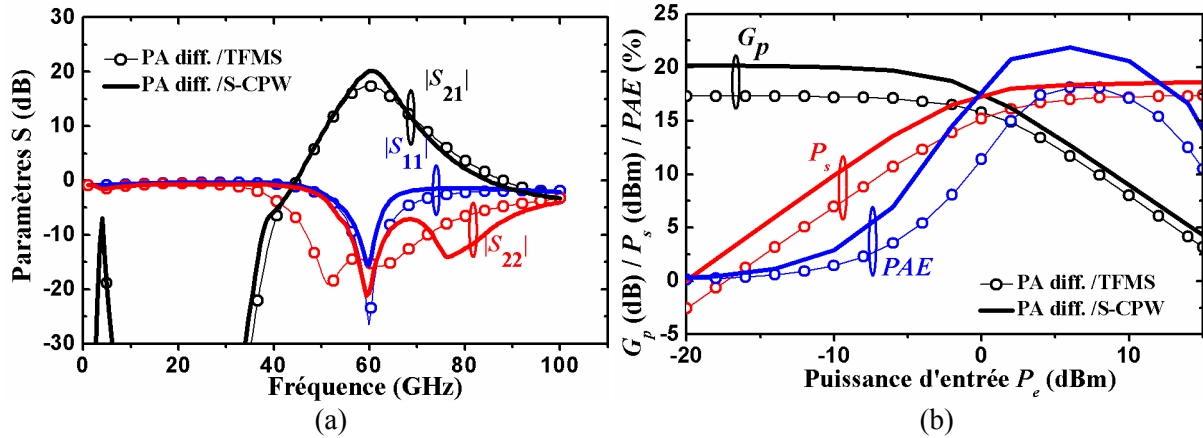


Figure III-34 : Comparaison des performances simulées des amplificateurs de puissances différentiels PA diff./S-CPW et PA diff./TFMS en CMOS 65 nm. (a) paramètres S, (b) en grands signaux à 60 GHz.

	f (GHz)	G_p (dB)	$ S_{11} $ (dB)	$ S_{22} $ (dB)	OCP_{1dB} (dBm)	P_{sat} (dBm)	PAE (%)	P_{DC} (mW)
PA diff./S-CPW	60	20,2	-16	-20	15,4	18,7	22	340
PA diff./TFMS	60	17,4	-26	-15	14,3	17,2	18,2	340

Tableau III-8 : Résumé des performances simulées de l'amplificateur de puissance différentiel PA diff./S-CPW et PA diff./TFMS à 60 GHz en technologie CMOS 65 nm.

Le paramètre de réflexion $|S_{11}|$ est meilleur que -15 dB à 60 GHz pour les deux structures. Les gains en puissance est de 20,2 dB pour l'amplificateur PA diff./S-CPW contre 17,4 dB pour l'amplificateur PA diff./TFMS. De plus, comparé au gain obtenu pour l'amplificateur simple en source commune PA/S-CPW, le gain de l'amplificateur différentiel PA diff./S-CPW est plus élevé grâce à l'utilisation des capacités de neutralisation. Concernant les performances en grands signaux, l'amplificateur PA diff./S-CPW est plus performant que la structure à base de lignes TFMS : OCP_{1dB} et P_{sat} sont d'environ 1 dB supérieurs et PAE est de 3,8 % supérieur avec la même consommation de puissance. Enfin, le point de compression du PA diff./S-CPW est de 2,6 dB supérieur à celui de l'amplificateur simple (PA/S-CPW), ce qui est cohérent avec la valeur théorique de 3 dB attendue.

Nous pouvons remarquer cependant que la différence des performances est moins importante que dans le cas de l'amplificateur simple. Ceci provient du fait que, dans la structure différentielle, seuls les stubs sont réalisés avec des lignes à ondes lentes S-CPW. L'impact des lignes S-CPW est donc plus faible.

III.4.2.2 Performances mesurées de l'amplificateur différentiel à lignes S-CPW

Les caractérisations différentielles de l'amplificateur PA diff. /S-CPW ont été effectuées au sein de laboratoire IMEP-LAHC utilisant un analyseur de réseaux vectoriels à quatre ports PNA-X d'Agilent. Nous avons utilisé le calibrage hybride LRRM-SOLR (*Line Reflect Reflect Match – Short Open Load Reflect*) pour calibrer l'analyseur de réseaux et les mesures des paramètres S de l'amplificateur sont faites jusqu'à 67 GHz. La **Figure III-35** montre le facteur de stabilité et le déterminant mesurés de cet amplificateur. La stabilité inconditionnelle est garantie sur toute la bande de caractérisation comprise entre DC et 67 GHz.

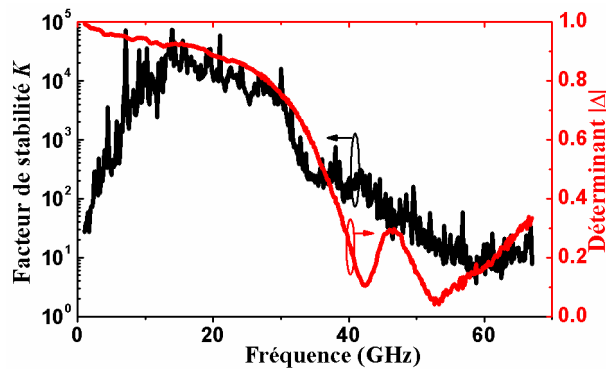


Figure III-35 : Facteur de stabilité et déterminant mesurés de l'amplificateur PA diff. /S-CPW.

Sous une tension V_{dd} de 1,2 V, l'amplificateur a été polarisé à des tensions $V_{gs1} = 0,9$ V, $V_{gs2} = 1,0$ V et $V_{gs3} = 1,0$ V, conduisant à des courants de polarisation correspondants à chaque étage respectivement de 24,5 mA, 45 mA et 74,5 mA et donc une consommation de puissance totale de 346 mW. La **Figure III-36** montre les paramètres S simulés, mesurés et rétro-simulés de l'amplificateur PA diff. /S-CPW.

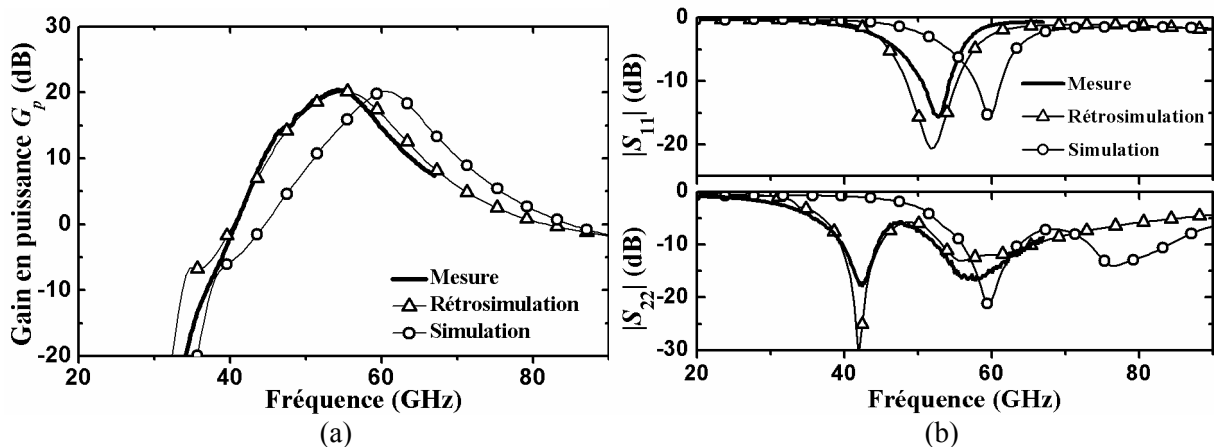


Figure III-36: Comparaison des paramètres S de l'amplificateur de puissance PA diff. /S-CPW réalisé en CMOS 65 nm. (a) $|S_{21}|$, (b) $|S_{11}|$ et $|S_{22}|$.

En effet, identique à l'amplificateur de puissance à topologie simple PA/S-CPW, la fréquence mesurée correspondant au gain maximum est de 55 GHz (60 GHz prévu en simulation). Les étapes de

rétro-simulation décrites dans la partie III.3.2.2 ont par conséquent été appliquées pour ce PA différentiel et un très bon accord entre les mesures en petit signal et la rétro-simulation est observé. Le gain différentiel maximum mesuré est de 20,3 dB à 55 GHz contre 20,1 dB en rétro-simulation à la même fréquence.

Concernant les performances en grands signaux de PA diff. /S-CPW, nous comparons ses résultats simulés à 60 GHz et ceux mesurés et rétro-simulés à 55 GHz sur la **Figure III-37**. La puissance différentielle pouvant être délivrée en entrée de l'amplificateur sous test est limitée à -3 dBm à ces fréquences par l'appareillage de mesure.

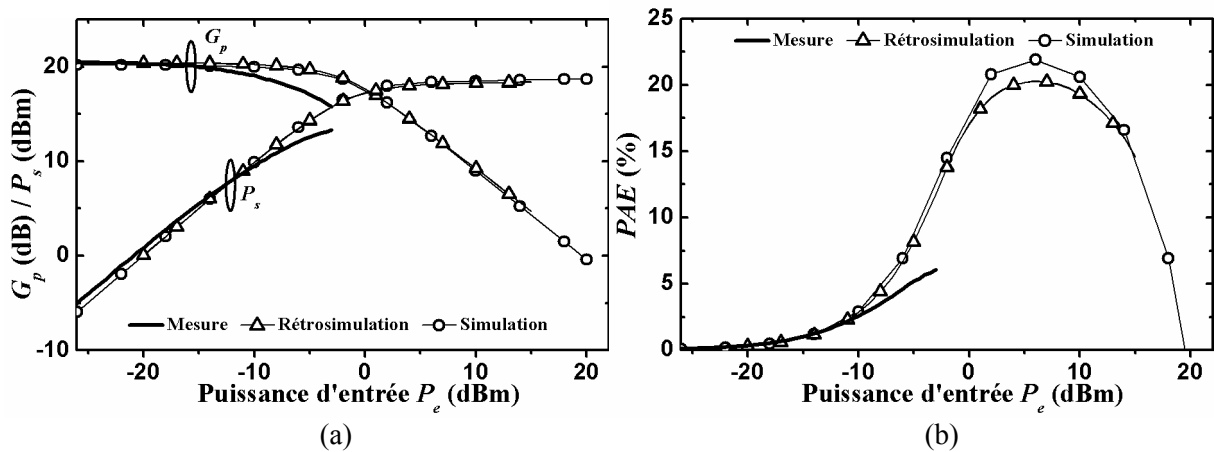


Figure III-37 : Comparaison des performances en grands signaux de l'amplificateur PA diff. /S-CPW à 55 GHz (mesure et rétro-simulation) et à 60 GHz (simulation) en CMOS 65 nm. (a) G_p et P_s , (b) PAE .

Contrairement aux performances mesurées en petits signaux qui sont cohérentes avec la simulation et la rétro-simulation, un grand écart de 7,4 dB sur le point de compression en sortie est obtenu (15,4 dBm en simulation à 60 GHz et 8 dBm en mesure à 55 GHz). Jusqu'à présent, nous n'avons pas pu identifier l'origine de cet écart. Ayant été limité par la puissance d'entrée disponible, nous n'avons pas pu relever la puissance de saturation P_{sat} ainsi que l'efficacité PAE maximum, qui doivent, d'après la **Figure III-37**, être supérieures respectivement à 13,5 dBm et 6 %. La encore, les performances rétro-simulées de cet amplificateur sont proches de celles de simulation, avec un point de compression et une puissance de sortie de 0,3 dB inférieurs à 55 GHz en rétro-simulation, conduisant à un écart de 1,7 % en PAE . Ces résultats sont récapitulés sur le **Tableau III-9**.

	f (GHz)	G_p (dB)	$ S_{11} $ (dB)	$ S_{22} $ (dB)	OCP_{1dB} (dBm)	P_{sat} (dBm)	PAE (%)	P_{DC} (mW)	FoM (GHz ²)
Simulation initiale	60	20,2	-16	-20	15,4	18,7	22	340	6148
mesure	55	20,3	-10	-13	8	> 13,5	> 6	346	436
rétro-simulation	55	20,1	-13	-12	15,1	18,4	20,3	340	4348

Tableau III-9 : Récapitulation des performances de l'amplificateur différentiel PA diff. /S-CPW conçu en technologie CMOS 65 nm.

III.5 Comparaison des performances avec l'état de l'art

Un résumé des performances actuelles des différents amplificateurs de puissance fonctionnant autour de 60 GHz en technologie CMOS 65 nm est présenté dans le **Tableau III-10**. A titre de comparaison, les performances mesurées des deux amplificateurs de puissance intégrant des lignes à ondes lentes S-CPW réalisés dans le cadre de la thèse (PA/S-CPW et PA diff./S-CPW) sont incluses dans le tableau.

PAs à base de lignes de propagation									
	Référence	Fréq. (GHz)	nbr_étages /Topologie	G_p (dB)	OCP_{1dB} (dBm)	P_{sat} (dBm)	PAE (%)	P_{DC} (mW)	FoM (W·GHz ²)
[1]	[Varonen, 08]	60	3/CS	12,8	1,5	7		104	
[2]	[Quemerais, 10]	60	2/CS	7,8	9	12	12,2	54,4	42
[3]	[Quemerais, 10-2]	58	4/CS	13,4	12,2	13,8	7,6	300	134,2
[4]	[Matsushita, 09]	61,5	4/CS	20	9,9	13*	6,68	144	504,1
[5]	[Valdes, 08]	62	1/CS	4,5	6	9	8,5	27,6	7,3
[6]	[Takayama, 10]	60	4/CS	10	12,6			213	
[7]	[Okada, 11]	60	4/CS	18,3	9,5	10,9	8,8	114,6	263,5
[8]	[Hsieh, 10]	60	4/CS	21	6,2	10,3	16	54	777
[9]	[Aloui, 11]	63	2/CS	14	10	12	15	65	237
[22]	[Aloui, 12]	61	4/CS	20	13,8	15,6	6,6		892
■	PA /S-CPW	55	3/CS	18,3	12	14,2	16	156	861
■	PA diff./S-CPW	60	3/CS/P-Diff	20,3	8	> 13,5	> 6	346	436
PAs à base d'éléments localisés (transformateurs ou inductances)									
	Référence	Fréq. (GHz)	nbr_étages /Topologie	G_p (dB)	OCP_{1dB} (dBm)	P_{sat} (dBm)	PAE (%)	P_{DC} (mW)	FoM (W·GHz ²)
[10]	[Chan, 10]	60	3/CS/P-Diff	16	5	11,5	15,2	50	307,7
[11]	[Boers, 10]	60	3/Diff	30	6,8	10,6	7,7	65	3183
[12]	[Lai, 10]	60		19,2	15,1	17,7	11,1	460	1957
[13]	[Martineau, 10]	60,5	2/Cas	15,5	11,5	18,1	3,6	1504	190,5
[14]	[Liu, 10]	60	3/Cas/Diff	34	7,8	13,17	8,3	319,5*	15573
[15]	[Liu, 11]	60	2Cas+1CS /Diff	14,9	10,7	11,3	9,4		141
[16]	[Liu, 11-2]	60	2/Diff	9,4	13,7	14,85	16,2		155,2
[17]	[He, 10]	58	2/Cas/Diff	10,8	11,8	14,8	7,1		86,7
[18]	[Chen, 11]	60	3/CS/Diff	20,2	15	18,6	15,1		4123
[19]	[Aloui, 08]**	60	2/CS	8	8,92	13	11	64,8	49,9
[20]	[Yu, 10]	60	3/P-Diff	15		11*		138	
[21]	[Wang, 11]	60	4/CS/P-Diff	18		9,6	13,6	62	281,7

Diff. = Différentiel; P-Diff = Pseudo Différentiel, Cas = Cascode ; CS = Source commune

* : valeur estimée du graphe, ** : résultat de simulation

Tableau III-10 : Etat de l'art des amplificateurs de puissance travaillant autour de 60 GHz en technologie CMOS 65 nm en comparaison avec les PAs réalisés dans ce mémoire.

Sur la **Figure III-38**, nous comparons, en fonction de différentes catégories, nos résultats des PAs réalisés à l'état de l'art issu du **Tableau III-10** en termes de l'efficacité PAE , de point de compression OCP_{1dB} et de facteur de mérite FoM .

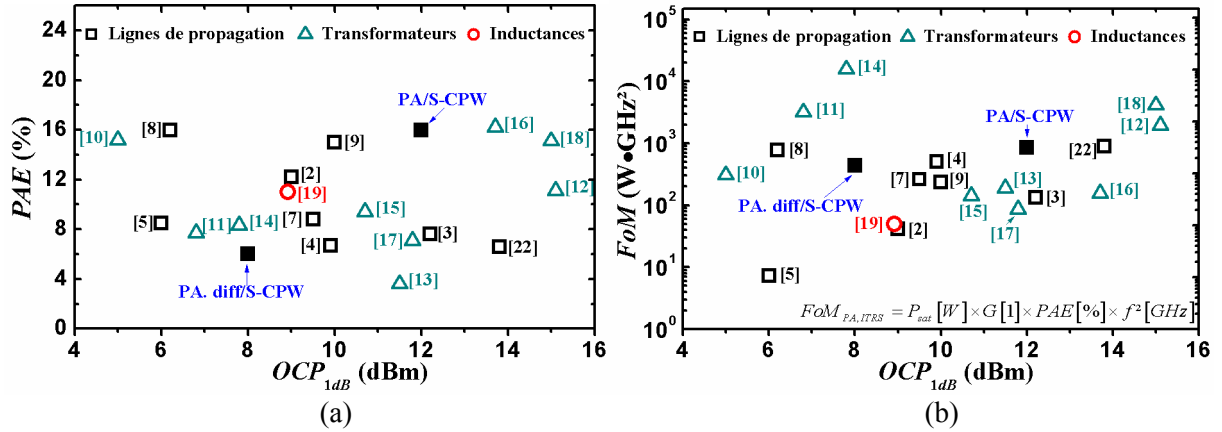


Figure III-38 : Comparaison des performances des amplificateurs de puissance travaillant autour de 60 GHz en technologie CMOS 65 nm dans la littérature avec les PAs réalisés dans ce mémoire. (a) PAE et OCP_{1dB} , (b) FoM et OCP_{1dB} .

Les meilleurs points de compression sont obtenus pour les amplificateurs utilisant des étages d'adaptation basés sur des transformateurs. Dans [Liu, 11-2] ([16]), [Chen, 11] ([18]), et [Lai, 10] ([12]), des points de compression de 13,7 dBm, 15 dBm et 15,1 dBm sont respectivement mesurés. De plus, les facteurs de mérite dans [Chen, 11] ([18]) et [Lai, 10] ([12]) sont à l'état de l'art (Figure III-38 (b)). Le meilleur facteur de mérite est obtenu dans [Liu, 10] ([14]), avec cependant un point de compression et une efficacité du PA relativement faibles ($OCP_{1dB} = 7,8$ dBm et $PAE = 8,3$ %). Cependant, comme nous l'avons précisé au paragraphe I.2.3.1, à l'inverse les composants selfiques localisés (inductance et transformateurs), les lignes de propagation sont des éléments passifs aisément paramétrables et ont un facteur de forme compatible avec les accès drain et grille des MOS en limitant ainsi les interconnexions parasites.

Parmi les PAs utilisant des lignes de propagation, l'amplificateur PA/S-CPW que nous avons conçu présente un rendement PAE (16%) à l'état de l'art (comparable à la réalisation de [Liu, 11-2] ([16]) utilisant les transformateurs). Par exemple l'amplificateur dans [Quemerais, 10-2] ([3]) réalisé dans la même technologie mais utilisant des lignes TFMS classiques présente un rendement PAE de 7,6 % contre 16% pour notre amplificateur PA/S-CPW avec un point de compression quasiment identique. Un autre PA fonctionnant à 60 GHz utilisant des lignes CPW a été récemment réalisé dans [Aloui, 12] ([22]). Ce PA présente un point de compression élevé de 13,5 dBm et un facteur de mérite comparable que celui de notre PA réalisé grâce à l'utilisation des étages de combiner de puissance, cela par contre au détriment de la performance en efficacité (PAE seulement de 6,6 %) et de la surface sur silicium importante (2,25 mm² incluant tous les plots de caractérisation). Par contre, des études complémentaires devront être menées sur notre amplificateur différentiel dont les mesures en grand signal ne sont pas en accord avec les simulations.

III.6 Conclusion du chapitre III

Dans ce chapitre, les lignes à ondes lentes S-CPW ont été employées pour réaliser des amplificateurs de puissances cascades à plusieurs étages fonctionnant en bande millimétrique. Le PA en source commune réalisé présente des performances mesurées au dessus de l'état de l'art en ce qui concerne les amplificateurs de puissance basés sur les lignes de propagation. Cela, d'une part, met en évidence l'intérêt des lignes S-CPW dans la conception des fonctions millimétriques, et d'autre part permet de valider leur modélisation ainsi que celle des capacités MOM et les plots de mesure RF utilisés. Une méthode de conception, respectant les règles d'électro-migration, a été développée. Les résultats obtenus ont permis ainsi de valider la méthode que nous avons proposée et utilisée pour la conception de nos amplificateurs de puissance en technologies CMOS avancées.

Enfin, il reste cependant à expliquer la raison des faibles performances en grand signal obtenues pour la version différentiel de cet amplificateur.

Chapitre IV: Etude d'un LNA et d'un SPDT à base de lignes S-CPW

Les chapitres précédents ont été consacrés à la mise en évidence de l'intérêt des lignes de propagation à ondes lentes S-CPW intégrées sur silicium par rapport aux lignes classiques : microruban et coplanaire. Ces lignes S-CPW ont ensuite été utilisées dans la conception d'amplificateurs de puissance (en technologie 45 nm et 65 nm). Cela nous a permis de valider l'apport de lignes S-CPW pour cette fonction en termes de gain et de point de compression

Ce dernier chapitre aura pour sujet l'utilisation des lignes à ondes lentes dans la réalisation d'amplificateurs à faible bruit et de commutateurs d'antenne. Nous allons présenter tout d'abord les performances simulées de LNA à 60 GHz en technologie CMOS 65 nm. Ensuite, un commutateur d'antenne à lignes S-CPW dans la même technologie a été réalisé et caractérisé pour les fréquences millimétriques.

IV.1 Amplificateurs à faible bruit LNA à lignes S-CPW

IV.1.1 État de l'art des amplificateurs faible bruit à lignes à ondes lentes

L'article [Sayag, 08] présente un amplificateur à faible bruit fonctionnant à 25 GHz en technologie CMOS 180 nm à base des lignes S-CPWG. L'impédance caractéristique des lignes étant de l'ordre de 70Ω , ces lignes présentent des pertes linéiques de 0,25 dB/mm à 25 GHz et une permittivité relative effective de 8, conduisant à un facteur de qualité élevé de 25 à 25 GHz. Le LNA réalisé, quant à lui, est constitué de deux étages montés en source commune. L'amplificateur présente une consommation faible (8 mW sous 1 V) pour un gain de 12,8 dB et un facteur de bruit de 3,3 dB à 24 GHz.

Dans [Li, 08], un LNA travaillant à 60 GHz utilisant des lignes S-CPW a été réalisé et simulé en technologie CMOS 90 nm. Afin de minimiser les bruits, les auteurs proposent une topologie à trois étages cascades avec les deux premiers montés en source commune simple et le dernier en topologie cascode. Les lignes S-CPW utilisées possèdent une impédance caractéristique de 60Ω et présentent des pertes simulées qui sont proches de 0,5 dB/mm à 60 GHz. Le LNA simulé a un gain de 15 dB à 60 GHz et d'un facteur de bruit de 5 dB pour une consommation de 22 mW sous une tension de 1,2 V.

Les auteurs de l'article [Sandstrom, 08], antérieurement présenté dans la partie III.1, ont mesuré à 60 GHz pour leur amplificateur à base de lignes S-CPW un facteur de bruit de 6,3 dB. Ces mêmes lignes S-CPW sont ensuite utilisées dans la conception d'un autre amplificateur fonctionnant en bande W (100 GHz) dans la même technologie (CMOS 65 nm). L'amplificateur est basé sur une structure à

quatre étages en source commune et présente un gain de 13 dB et un facteur de bruit de 7,5 dB à 100 GHz. La bande passant est de 21 GHz et la consommation de puissance est de 86 mW, conduisant à un facteur de mérite FoM_{Long} de 0,49.

En 2010, dans [Wang, 10], les auteurs réalisent un LNA travaillant à 90 GHz utilisant des lignes S-CPW remplies de dummies afin de respecter les règles de densité des métaux (**Figure IV-1**). Ce LNA en CMOS 65 nm est ensuite intégré dans un récepteur en bande W [Zhou, 11]. Comme le montre la **Figure IV-1**, le conducteur central de la ligne S-CPW est constitué d'un empilement M_6 et M_7 alors que les plans de masse sont sur les niveaux métalliques de M_3 à M_7 . Des dummies de dimensions $1\text{ }\mu\text{m} \times 1\text{ }\mu\text{m}$ sont insérés en dessous du conducteur signal. Le blindage est réalisé sur les niveaux inférieurs M_1 et M_2 .

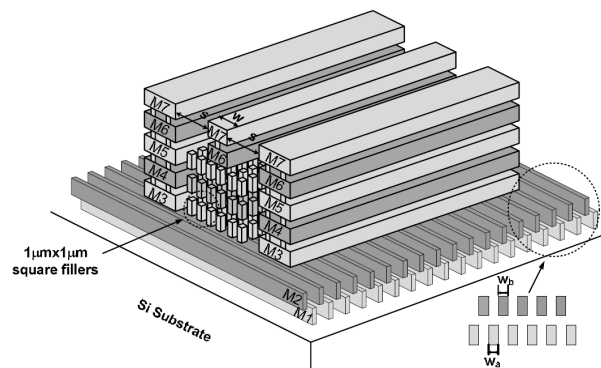


Figure IV-1 : Schéma de la ligne S-CPW avec les dummies utilisée dans [Wang, 10].

A 90 GHz, cette ligne $50\text{ }\Omega$ présente une constante d'atténuation de 0,9 dB/mm et une permittivité d'environ 10, conduisant à un facteur de qualité de 26 à la fréquence de 90 GHz. La topologie en source commune ayant été adoptée pour tous les étages, ce LNA présente à 90 GHz un gain de 15 dB et un facteur de bruit de 7 dB avec une consommation de 42 mW.

Dans la réalisation des amplificateurs à faible bruit, nous avons adopté la topologie cascode afin, d'une part, de favoriser le gain et d'autre part, d'assurer la stabilité inconditionnelle sur toute la bande, malgré une baisse des performances en bruit du LNA. Nous verrons ce point dans la partie suivante.

IV.1.2 Conception d'un LNA à lignes S-CPW en technologie CMOS 65 nm

Nous avons mené cette étude afin de quantifier l'impact de nos structures de lignes à ondes lentes dans l'amélioration des caractéristiques des amplificateurs faible bruit et pour situer les performances obtenues par rapport à l'état de l'art déterminé précédemment.

IV.1.2.1 Sources de bruit dans un transistor MOS

Les sources de bruit dans un transistor MOS sont :

- 1) Bruit de basse fréquence $1/f$ [Lee, 98].
- 2) Bruit thermique de la résistance de grille $\overline{v_{nR_g}^2}$ (relation (IV-1)) [Nyquist, 28] avec K la constante de Boltzmann ($\approx 1,38 \times 10^{-23}$ J/K), T la température absolue en kelvin et Δf la bande du bruit en hertz.
- 3) Bruit thermique du canal de densité $\overline{i_{nd}^2}$ (relation (III-1)) [Ziel, 62] avec g_{ds0} la conductance entre le drain et la source lorsque la tension V_{ds} est égale à zéro et γ la constante de valeurs typiques comprises entre 2 et 3 pour les transistors NMOS à canal court.
- 4) Bruit induit de grille $\overline{i_{ng}^2}$ (relation (IV-3)) [Ziel, 62] avec δ de valeur comprise entre 4 et 6 pour les transistors NMOS à canal court.

$$\overline{v_{nR_g}^2} = 4KTR_g\Delta f \quad (\text{IV-1})$$

$$\overline{i_{nd}^2} = 4KT\gamma g_{ds0}\Delta f \quad (\text{IV-2})$$

$$\overline{i_{ng}^2} = 4KT\delta \frac{\omega^2 C_{gs}^2}{5g_{ds0}}\Delta f \quad (\text{IV-3})$$

IV.1.2.2 Topologie cascode : contribution du transistor en grille commune au bruit total

Nous avons adopté la topologie cascode présentée sur la **Figure IV-2**. Afin d'étudier la contribution au bruit total du transistor monté en grille commun (transistor M'), nous ne considérons, pour simplification, que le bruit du canal de ce dernier (voir la **Figure IV-2**).

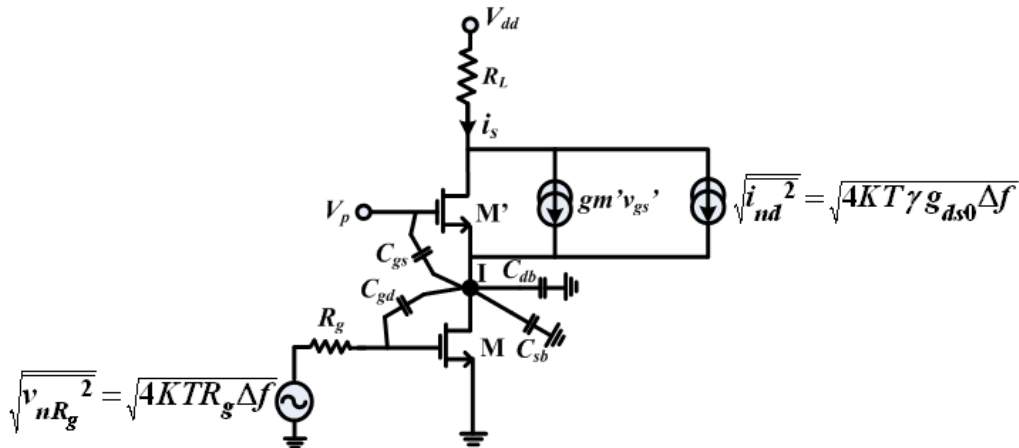


Figure IV-2 : La contribution aux bruits de l'étage cascode.

Nous définissons C_I la capacité parasite totale au point « I ». A partir des formules développées à (IV-4) et (IV-5), nous obtenons à l'équation (IV-6) la participation du bruit de canal du transistor en cascode. Afin de minimiser cette contribution de bruit, le terme « $C_I\omega/g_m'$ » doit être très inférieur à l'unité. Nous en déduisons par (IV-7) la formule de la fréquence de résonance f_I .

$$i_s = \overline{i_{nd}} + g_m' v_{gs}' \quad (IV-4)$$

$$v_{gs}' = -(\overline{i_{nd}} + g_m' v_{gs}') / (jC_I \omega) \quad (IV-5)$$

$$i_s = \overline{i_{nd}} \left(1 - 1 / (1 + jC_I \omega / g_m') \right) \quad (IV-6)$$

$$f \ll \frac{g_m'}{2\pi C_I} = f_I \quad (IV-7)$$

Nous pouvons donc à partir de l'équation (IV-7) déterminer la dimension des transistors en cascode. D'après l'équation (IV-7), la largeur W du transistor en grille commune (W_{CG}) doit être choisie de telle sorte que la fréquence f_I soit très supérieure à la fréquence de fonctionnement. Pour ce faire, nous avons simulé les NF_{min} pour différentes largeurs du transistor source commune W_{CS} comprises entre 24 μm et 72 μm et avec une largeur du transistor grille commune W_{CG} dans un rapport 0,5, 0,75, 1, 1,5 et 2 par rapport à W_{CS} . Pour chaque simulation, le transistor source commune est polarisé de telle sorte que sa densité de courant soit de 0,15 mA/ μm . Les résultats de simulation à 60 GHz sont présentés à la **Figure IV-3**.

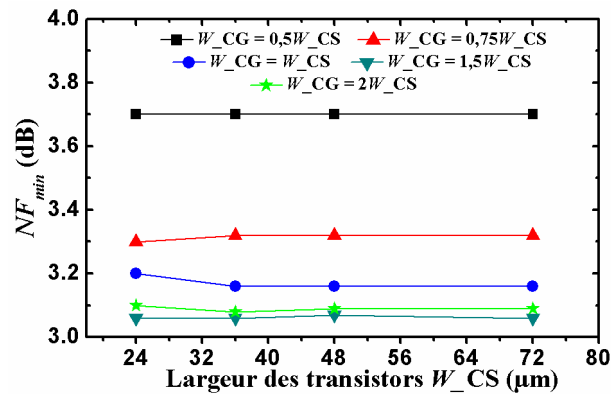


Figure IV-3 : NF_{min} à 60 GHz en fonction des différentes largeurs des transistors en source commune et en grille commune dans une topologie cascode.

D'après la **Figure IV-3**, pour un rapport des dimensions W_{CG} / W_{CS} donné, la figure de bruit NF_{min} est constante quelle que soit la largeur du transistor source commune. Cela s'explique par le fait que la densité du courant est constante. D'ailleurs, le facteur NF_{min} est d'autant plus faible que le rapport est important, à l'exception du cas $W_{CG} = 1,5 W_{CS}$, qui donne un facteur de bruit optimal. A la lumière de ces résultats, nous avons choisi une largeur du transistor cascode $W_{CG} = 2 W_{CS}$ (proche du rapport optimal de 1,5) afin d'obtenir un facteur de bruit faible sans défavoriser cependant trop les performances en point de compression.

IV.1.2.3 Choix des dimensions des transistors

IV.1.2.3.1 Détermination de largeur du doigt W_f

La **Figure IV-4** présente le facteur de bruit minimum à 60 GHz en fonction de la densité de courant de polarisation pour les différentes largeurs du doigt W_f d'un transistor NMOS de largeur

$W = 72 \mu\text{m}$ en CMOS 65 nm. La largeur W_f varie entre 1 et 6 μm et la topologie en source commune a été utilisée pour ces simulations.

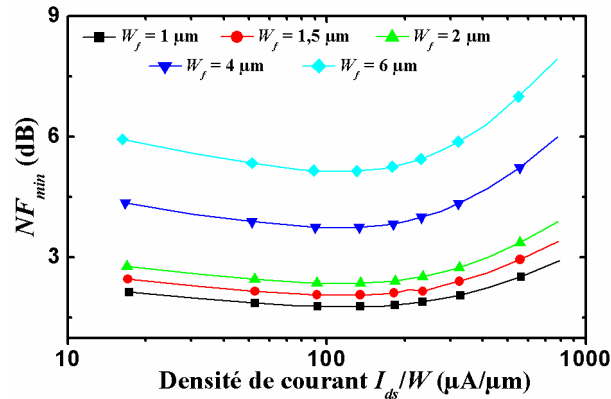


Figure IV-4 : Facteur de bruit minimum à 60 GHz en fonction de la densité du courant pour différentes largeurs du doigt d'un transistor NMOS ($W = 72 \mu\text{m}$) en technologie CMOS 65 nm.

Nous pouvons en tirer deux conclusions intéressantes. Tout d'abord, la densité de courant optimale pour laquelle le facteur NF_{min} est minimal est de l'ordre de 0,1~0,15 $\text{mA}/\mu\text{m}$. Cette valeur est indépendante de la largeur W_f du doigt. Nous avons donc choisi de polariser tous les transistors en source commune à cette densité afin de minimiser le bruit. Ensuite, le facteur de bruit minimum est d'autant plus faible que la largeur W_f est faible. Ceci est dû principalement à la réduction de la résistance d'accès de grille avec W_f . Nous avons choisi, pour le transistor en source commune, une largeur $W_f = 0,6 \mu\text{m}$ qui est la valeur minimale autorisée par la technologie. La largeur W_f' du transistor cascode, quant à elle, a été fixée à 1,2 μm . La Figure IV-5 montre la topologie utilisée pour l'interconnexion des deux transistors. Nous pouvons remarquer que cette topologie permet de minimiser la capacité d'interconnexion et donc de la capacité C_I .

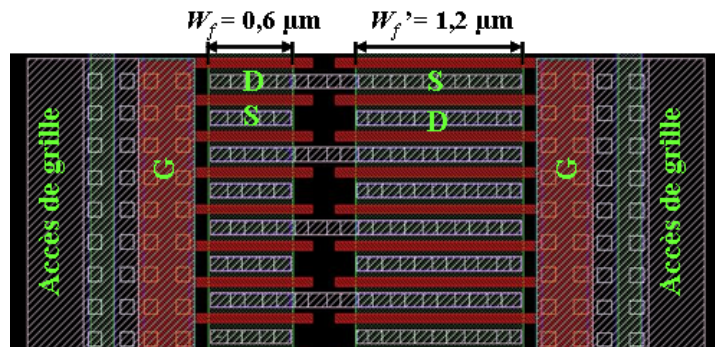


Figure IV-5 : Exemple du dessin d'un transistor en topologie cascode.

IV.1.2.3.2 Détermination des largeurs W des transistors

Le facteur de bruit F est déterminé par les relations (I-15) et (IV-9). L'impact de largeur du transistor sur le facteur de bruit en terme de facteur de bruit minimum F_{min} , de résistance équivalente de bruit R_n et d'admittance de bruit optimale Y_{opt} est étudié en fonction de densité de courant donnée.

$$F = F_{\min} + \frac{R_n}{\text{real}(Y_S)} |Y_S - Y_{\text{opt}}|^2 \quad (\text{IV-8})$$

$$Y_{\text{opt}} = G_{\text{opt}} + jB_{\text{opt}} \quad (\text{IV-9})$$

Le facteur de bruit minimum est donné par la relation (IV-10) (cf. **Annexe 2**). D'après l'équation (IV-11), pour une densité de courant I_{ds}/W fixée, la transconductance d'un transistor est proportionnelle à la largeur W .

$$F_{\min} \approx 1 + K_f \omega C_{gs} \sqrt{R_G / g_m} \quad (\text{IV-10})$$

$$g_m = 2\sqrt{K_n W I_{ds} / L_g} \quad (\text{IV-11})$$

Etant donné que la résistance de grille R_G est inversement proportionnel à W alors que C_{gs} est proportionnel à W (cf. **Annexe 2**), nous pouvons conclure que le facteur de bruit minimum (IV-10) est quasiment indépendant de la largeur W du transistor lorsque la densité du courant est fixée.

La résistance équivalente de bruit R_n , quant à elle, est caractérisée par l'équation (IV-12) [Lee, 98].

$$R_n = \gamma g_{ds0} / g_m^2 \quad (\text{IV-12})$$

Nous avons simulé à la **Figure IV-6 (a)**, les résistances de bruit en fonction de densité de courant pour les transistors NMOS de la technologie CMOS 65 nm dont la largeur varie entre 72 μm et 216 μm ($W = 72, 144, 180$ et $216 \mu\text{m}$). A partir de (IV-12), il est facile de démontrer que la résistance R_n évolue en W^{-1} pour une densité de courant donnée (g_{ds0} évolue en W). Cela est ensuite confirmé par la **Figure IV-6 (b)**, où la densité est fixée à 0,15 mA/ μm . Les résistances équivalentes de bruit sont autant plus importantes que la largeur est faible. D'ailleurs, pour une densité de courant de l'ordre de 0,1 à 0,15 mA/ μm , les valeurs de R_n sont minimales.

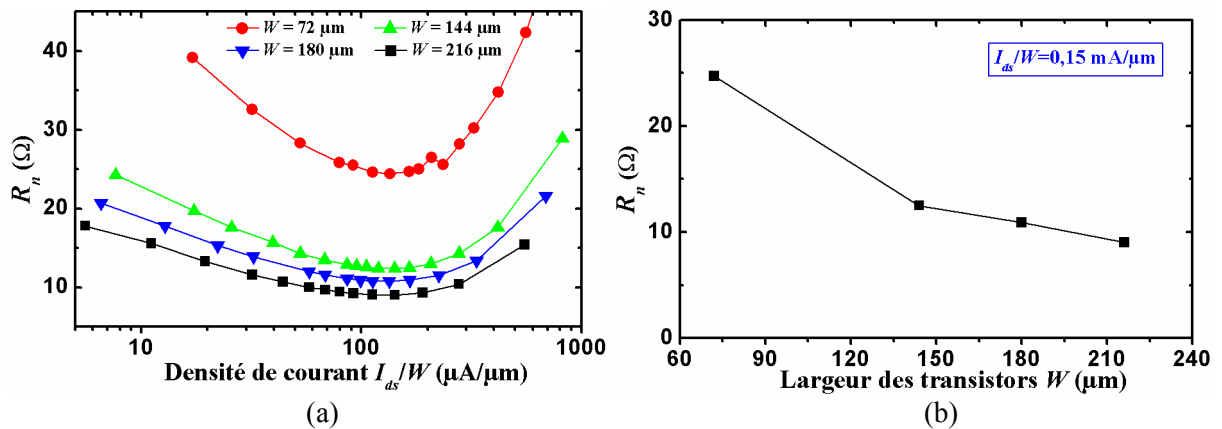


Figure IV-6 : (a) Résistance équivalente de bruit en fonction de densité de courant pour différentes largeurs de transistor en CMOS 65 nm. (b) Résistance équivalente de bruit en fonction des largeurs de transistor pour la densité de 0,15 mA/ μm .

En ce qui concerne Y_{opt} , [Lee, 98] démontre que G_{opt} et B_{opt} peuvent s'exprimer respectivement par (IV-13) et (IV-14). Le coefficient de corrélation c , défini à (IV-15), traduit la corrélation physique entre le bruit du canal et le bruit induit à la grille d'un transistor. En supposant que ce coefficient est indépendant de la largeur du transistor, à partir des équations (IV-13) et (IV-14), nous pouvons en déduire que G_{opt} et B_{opt} sont tous les deux proportionnels à W pour une densité de courant constante dans le transistor.

$$G_{opt} = \frac{g_m \omega C_{gs}}{g_{ds0}} \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)} \quad (IV-13)$$

$$B_{opt} = -\omega C_{gs} \left(1 + \frac{g_m}{g_{ds0}} |c| \sqrt{\frac{\delta}{5\gamma}} \right) \quad (IV-14)$$

$$c = \overline{i_{ng} \cdot i_{nd}^*} / \sqrt{\overline{i_{ng}^2} \cdot \overline{i_{nd}^2}} \quad (IV-15)$$

Les **Figure IV-7 (a) et (b)** présentent l'évolution de l'admittance optimale des transistors NMOS en technologie 65 nm en fonction de la densité de courant. Comme le montre la **Figure IV-7 (c)**, la conductance G_{opt} et la susceptance B_{opt} , donc l'admittance Y_{opt} , augmentent linéairement avec la largeur du transistor pour une densité de courant fixée ($I_{ds}/W = 0,15$ mA/ μ m dans l'exemple).

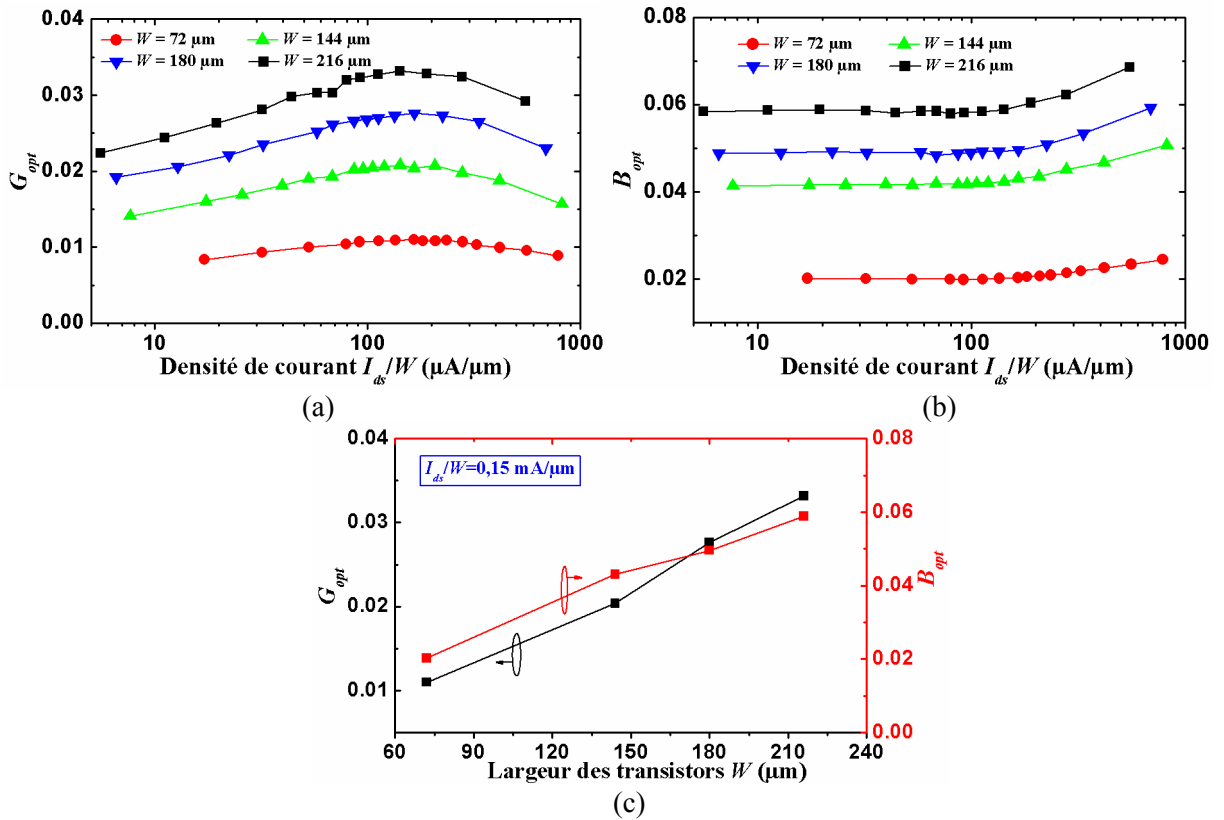


Figure IV-7 : Admittance optimale en fonction de la densité de courant pour différentes largeurs de transistor en CMOS 65 nm. (a) G_{opt} , (b) B_{opt} , (c) G_{opt} et B_{opt} en fonction des largeurs de transistor pour la densité du courant de 0,15 mA/ μ m.

Pour conclure, pour une densité de courant de polarisation fixée, F_{min} est indépendant de W , R_n évolue en $1/W$ et Y_{opt} en W . D'après l'équation (I-15), un W grand permet de minimiser la résistance de bruit R_n . Cependant, l'adaptation au bruit optimal (i.e. à Y_{opt}) devient W fois (i.e. $1/W \times W^2$) plus sensible à la désadaptation de l'admittance de la source Y_s . Cela signifie que le bruit risque d'être important à cause de la désadaptation pour des largeurs trop élevées. Par conséquent, il est plus judicieux de choisir une dimension W satisfaisant à la fois une sensibilité raisonnable à la désadaptation en bruit et une consommation maîtrisée pour la cellule.

Sur la **Figure IV-8**, les performances simulées à 60 GHz en termes de gain et de facteur de bruit d'un étage cascode sont comparées en fonction des différentes largeurs de transistor. La largeur du transistor en source commune W varie entre 24 et 72 μm alors que la largeur du transistor cascode W' est toujours le double du W correspondant. La polarisation étant fixée à 0,15 mA/ μm pour le transistor en source commune, le transistor est adapté en entrée à l'admittance optimale Y_{opt} et à 50 Ω en sortie utilisant respectivement des éléments localisés (L et C) sans pertes, des lignes S-CPW (SCPW9) et des lignes TFMS (TFMS2).

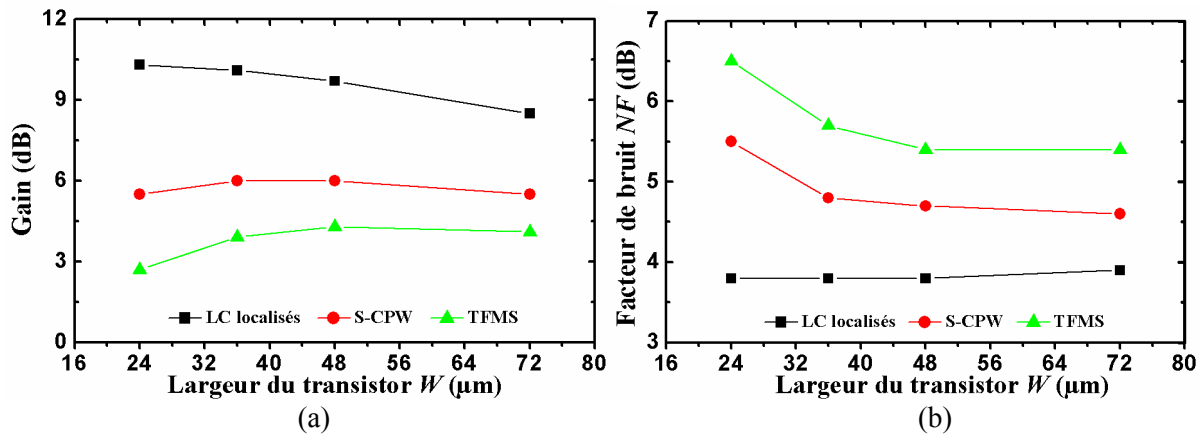


Figure IV-8 : Comparaison des performances simulées à 60 GHz d'un étage cascode adapté à Y_{opt} en entrée et à 50 Ω en sortie respectivement aux éléments localisés parfaits, à lignes S-CPW et à lignes TFMS. (a) Gain, (b) facteur de bruit NF .

Nous pouvons remarquer l'intérêt des lignes S-CPW en ce qui concerne le gain et le facteur de bruit par rapport aux lignes TFMS de même impédance caractéristique. Le gain de l'étage à lignes S-CPW est d'environ 2 dB au dessus et le facteur NF de l'ordre de 1 dB en dessous, cela grâce au meilleur facteur de qualité des lignes S-CPW. D'ailleurs, pour les transistors de largeur inférieure à 36 μm , les performances en gain ou en bruit se dégradent. Ceci est lié à un rapport important de transformation d'impédance (de 50 Ω à l'impédance optimale) pour les faibles dimensions de transistor, impliquant des longueurs de lignes et par conséquent des pertes plus élevées. Ceci est confirmé avec le **Tableau IV-1** récapitulant les paramètres Y_{opt} et $R_{p,opt}$ à 60 GHz pour les différentes largeurs des transistors. A titre d'exemple, pour $W = 24$ μm , le rapport de transformation d'impédance

est de 9 en entrée du transistor (de 450Ω à 50Ω), alors que dans le cas d'une largeur W de $72 \mu\text{m}$, ce rapport est réduit à 4 (de 200Ω à 50Ω).

W du MOS en SC (μm)	Y_{opt} (S)	$R_{p,opt}$ (Ω)
24	$2,23 \text{ e}^{-3} + \text{j } 9,25 \text{ e}^{-3}$	450
36	$3,16 \text{ e}^{-3} + \text{j } 1,30 \text{ e}^{-2}$	315
48	$3,80 \text{ e}^{-3} + \text{j } 1,71 \text{ e}^{-2}$	260
72	$5,00 \text{ e}^{-3} + \text{j } 2,23 \text{ e}^{-2}$	200

Tableau IV-1 : Tableau récapitulatif des facteurs de transformation d'impédance pour les différentes largeurs W à 60 GHz.

IV.1.2.4 Résultats de simulations d'un LNA à trois étages cascode

Nous présentons les résultats simulés de deux LNAs à trois étages cascode fonctionnant à 60 GHz, l'un utilisant les lignes à ondes lentes SCPW9 (voir **Figure IV-9**) d'impédance caractéristique de 28Ω et l'autre utilisant des lignes TFMS2 d'impédance caractéristique similaire (31Ω) afin de pouvoir les comparer.

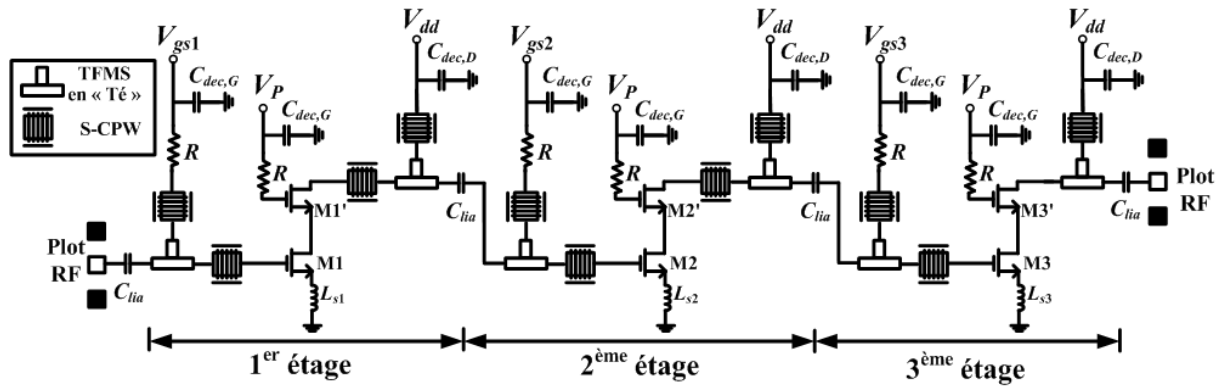


Figure IV-9 : Schéma de LNA à 60 GHz utilisant des lignes S-CPW en CMOS 65 nm.

La largeur des transistors en source commune est respectivement de $36 \mu\text{m}$ (M1), de $48 \mu\text{m}$ (M2) et de $72 \mu\text{m}$ (M3) et les transistors en grille commune sont par conséquent de $72 \mu\text{m}$ (M1'), $96 \mu\text{m}$ (M2') et $144 \mu\text{m}$ (M3'). Ces transistors sont polarisés respectivement à des courants de $5,2 \text{ mA}$, $6,9 \text{ mA}$ et $10,4 \text{ mA}$. Nous avons adopté les mêmes valeurs des résistances de polarisation (R), de capacités de découplage ($C_{dec,D}$ et $C_{dec,G}$) et de capacités de liaison (C_{lia}), que celles des amplificateurs de puissance décrits au chapitre III. Les réseaux d'adaptation d'impédance sont constitués des lignes SCPW9 et les jonctions en « T » à lignes TFMS2 pour le LNA/S-CPW. Pour LNA/TFMS, seules lignes TFMS2 sont utilisées.

La **Figure IV-10** montre le dessin sous Cadence de l'amplificateur LNA/S-CPW, qui occupe une surface d'environ $0,44 \text{ mm}^2$.

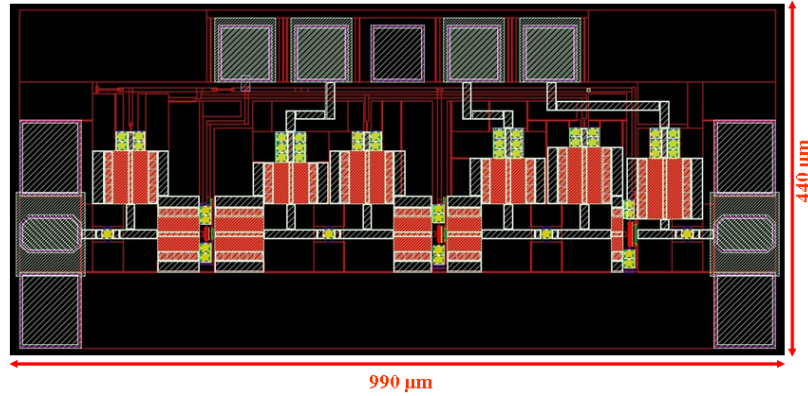


Figure IV-10 : Dessin sous Cadence du LNA à 60 GHz utilisant des lignes S-CPW en CMOS 65 nm.

Les performances simulées en régime petit signal de ces LNAs sont présentées sur la **Figure IV-11**. Les deux LNAs sont inconditionnellement stables sur toute la bande de fréquence jusqu'à 110 GHz.

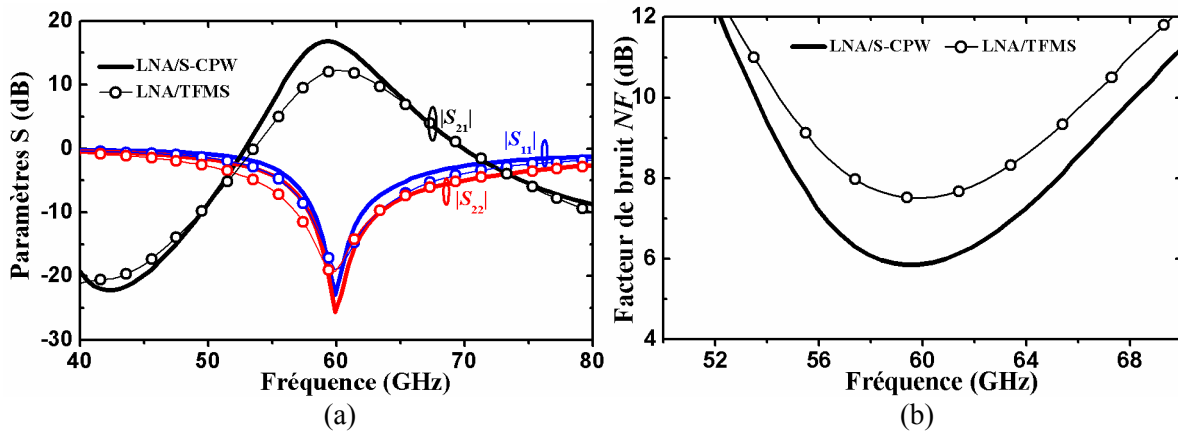


Figure IV-11 : Comparaison des performances simulées en petits signaux de LNA/S-CPW et LNA/TFMS en technologie CMOS 65 nm. (a) paramètres S, (b) facteur de bruit.

Les paramètres de réflexion $|S_{11}|$ et $|S_{22}|$ sont meilleurs que -20 dB à la fréquence de fonctionnement pour les deux amplificateurs simulés. A 60 GHz, le gain maximum est d'environ 17 dB et le facteur de bruit est de 5,8 dB pour le LNA/S-CPW. Concernant l'amplificateur LNA/TFMS, le gain est d'environ 5 dB en dessous (12,2 dB à 60 GHz) et le facteur de bruit est de l'ordre de 2 dB au-dessus (7,6 dB). Ces amplificateurs consomment 27 mW sous 1,2 V, conduisant à un facteur de mérite FoM_{Long} de 0,72 et 0,41, respectivement.

En régime grand signal (**Figure IV-12**), le LNA/S-CPW présente un point de compression en entrée (ICP_{1dB}) de -16 dBm et un point d'interception d'ordre 3 d'entrée (IIP_3) de -7,5 dBm, conduisant à un facteur mérite FoM_{ITRS} qui vaut 7,1 à 60 GHz. En ce qui concerne le LNA/TFMS, l' ICP_{1dB} est de -14 dBm à 60 GHz et l' IIP_3 est de -5 dBm. Toutefois, étant limité par son faible gain et son fort facteur de bruit, le facteur mérite FoM_{ITRS} de l'amplificateur LNA/TFMS est plus faible ($FoM_{ITRS} = 2,5$) que celui du LNA/S-CPW.

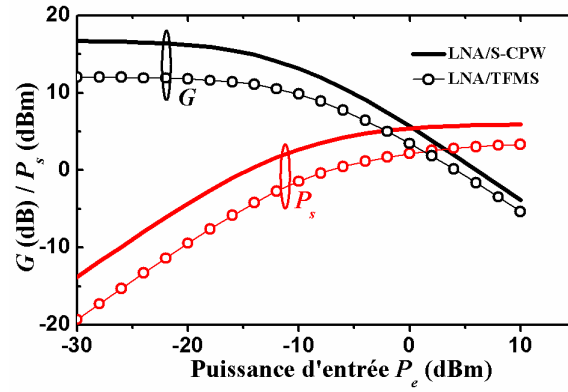


Figure IV-12 : Comparaison des performances simulées en grands signaux de LNA/S-CPW et LNA/TFMS en technologie CMOS 65 nm.

Nous regroupons les performances simulées de LNAs dans le **Tableau IV-2**. Elles sont ensuite comparées à la **Figure IV-13** avec les LNAs à 60 GHz de trois étages cascade dans la littérature.

	Fréq. (GHz)	Gain (dB)	NF (dB)	ICP _{1dB} (dBm)	IIP ₃ (dBm)	BW _{3dB} (GHz)	P _{DC} (mW)	FoM _{Long}	FoM _{ITRS}
LNA/S-CPW	60	17	5,8	-16	-7,5	5,5	27	0,72	7,1
LNA/TFMS	60	12,2	7,6	-14	-5	6	27	0,41	2,5

Tableau IV-2 : Performances simulées à 60 GHz des amplificateurs LNA/S-CPW et LNA/TFMS en technologie CMOS 65 nm.

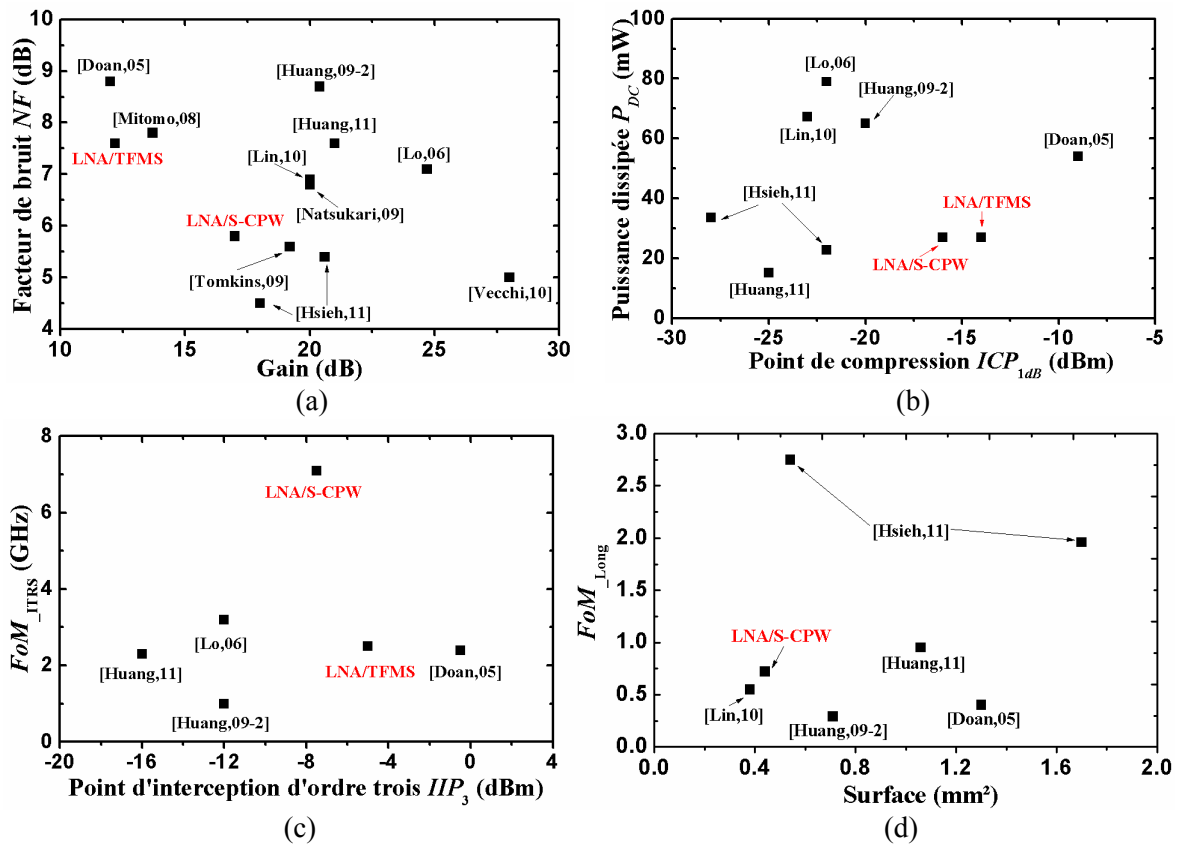


Figure IV-13 : Comparaison des performances simulées des amplificateurs LNA/S-CPW et LNA/TFMS en technologie CMOS 65 nm avec les LNAs à 60 GHz de trois étages cascade issus de la littérature. (a) NF et G, (b) P_{DC} et ICP_{1dB}, (c) FoM_{ITRS} et IIP₃, (d) FoM_{Long} et surface.

Le compromis entre ICP_{1dB} et la puissance dissipée conduit à un très bon facteur de mérite FoM_{ITRS} **Figure IV-13 (c)**. Le facteur de bruit de l'amplificateur LNA/S-CPW est assez bien situé par rapport à l'état de l'art. Par ailleurs, la surface de notre LNA (LNA/S-CPW) est faible grâce à l'utilisation des lignes à ondes lentes.

IV.2 Switch d'antenne SPDT à lignes S-CPW

Cette partie est consacrée à la réalisation d'un switch d'antenne de type SPDT pour les applications millimétriques et intégrant dans sa structure des lignes à ondes lentes. Nous avons introduit les différentes structures de SPDT au chapitre I de ce mémoire. Nous décrivons ici les techniques communes utilisées pour optimiser les performances de ces structures.

IV.2.1 Description des transistors MOS standard Bulk

Les pertes d'insertion IL , l'isolation Iso et le point de compression en entrée ICP_{1dB} sont les trois paramètres essentiels pour caractériser les performances d'un commutateur d'antenne SPDT (cf. I.3.3). Avant de décrire les différentes techniques utilisées dans la littérature pour optimiser les performances, nous rappelons les paramètres d'un transistor NMOS utilisé en commutation dans une technologie standard à substrat P. La **Figure IV-14 (a)** présente la vue en coupe d'un transistor NMOS Bulk, où R_G est la résistance de polarisation de la grille (souvent de grande valeur de l'ordre de plusieurs k Ω) et R_{sub} est la résistance équivalente de substrat. Les **Figure IV-14 (b)** et **(c)** présentent respectivement le modèle équivalent en petit signal des NMOS Bulk à l'état « ON » et « OFF ».

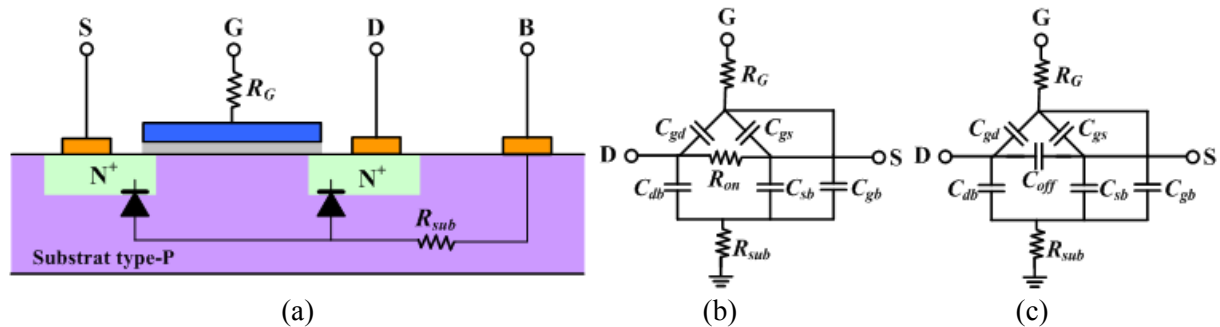


Figure IV-14 : (a) Vue en coupe d'un transistor NMOS standard (Bulk), modèle équivalent en petit signal (b) à l'état « ON » [Huang, 01], (c) à l'état « OFF ».

En basses fréquences, les pertes d'insertion sont déterminées par R_{on} et l'isolation par C_{off} [Li, 10-2]. Lorsque la fréquence de travail augmente, les pertes d'insertion augmentent à cause du couplage dû aux capacités de jonctions source et drain vers le substrat à pertes (R_{sub}). Concernant le point de compression, celui-ci est principalement limité par les diodes de jonction D/S [Li, 07] (**Figure IV-14 (a)**). Pour des signaux de forte amplitude supérieure à la tension de seuil d'une diode (de l'ordre de 0,6 V), les diodes source et drain passent en régime direct, ce qui a pour effet de limiter théoriquement le point de compression à 6 dBm dans un système 50 Ω (relation (IV-16)).

$$ICP_{1dB} = 10 \log \left(\frac{0,6^2}{2 \times 50 \times 10^3} \right) = 6 \text{ dBm} \quad (\text{IV-16})$$

IV.2.2 Techniques d'optimisation proposées dans la littérature

IV.2.2.1 Minimisation des pertes dans le substrat

Pour un SPDT de topologie série-shunt, les auteurs de l'article [Huang, 01] montrent qu'il existe une valeur de résistance équivalente du substrat $R_{sub} = R_{sub0}$ pour laquelle les pertes d'insertion par couplage capacitif avec le substrat sont maximales. Afin d'obtenir de faibles pertes pour un SPDT, il faut donc faire en sorte que la résistance du substrat soit très différente de R_{sub0} .

L'utilisation du substrat de type SOI de haute résistivité permet d'améliorer à la fois les pertes d'insertion et l'isolation [Tinella, 03], et cela grâce à l'utilisation d'un substrat à haute résistivité ($R_{sub} \gg R_{sub0}$). Dans [Tinella, 03], en technologie CMOS 250 nm, deux SPDTs de topologie série-shunt ont été réalisés respectivement sur substrat SOI ($\rho = 1 \text{ k}\Omega\cdot\text{cm}$) et sur silicium massif ($\rho = 20 \text{ }\Omega\cdot\text{cm}$) pour l'application dans la bande 2,5-5 GHz. A 2,4 GHz, les auteurs ont démontré une amélioration des pertes d'insertion de 0,3 dB (0,7 dB pour le substrat SOI contre 1 dB pour le substrat bulk) et une amélioration de l'isolation de 9 dB (54 dB en SOI contre 45 dB en bulk). Les points de compression sont identiques (12 dBm). Récemment, [Parlak, 11] a réalisé un SPDT pouvant travailler à 60 GHz en technologie CMOS SOI 45 nm. Le SPDT présente des pertes d'insertion de 2,5 dB, une isolation d'environ 23 dB à 60 GHz et un ICP_{1dB} de 7,1 dBm à 45 GHz.

IV.2.2.2 Compensation des capacités parasites

Les capacités parasites des transistors à l'état « OFF » limitent les performances des SPDTs, notamment en terme d'isolation. Ces capacités parasites peuvent être compensées par des éléments inductifs, sous forme d'inductances spirales placées entre le drain et la source des transistors (**Figure IV-15 (a)**, [Ou, 09]). A 24 GHz, le SPDT de topologie série-shunt réalisé en CMOS 180 nm par [Ou, 09] présente une isolation sur la voie TX de 25 dB et une isolation entre la voie TX et RX de 32 dB. Le point de compression atteint 21,5 dBm. Cependant, les pertes d'insertion de 6 dB sont relativement importantes à cause du facteur de qualité limité des inductances aux fréquences millimétriques. Une autre solution proposée dans [Uzunkol, 10] est basée sur l'utilisation de stubs placés en parallèle avec les transistors shunt (**Figure IV-15 (b)**). Les stubs sont de type CPWG avec des pertes de 0,65 dB/mm et un facteur de qualité de 17 à 60 GHz. Ce SPDT large bande fonctionne entre 50 et 70 GHz. Les pertes d'insertion sont inférieures à 2 dB et l'isolation est meilleure que 25 dB entre 50 GHz et 70 GHz. A 60 GHz, le point de compression du SPDT est de 13,5 dBm (valeur simulée). L'inconvénient de ce SPDT par rapport à celui utilisant des inductances localisées réside dans la grande surface occupée sur silicium.

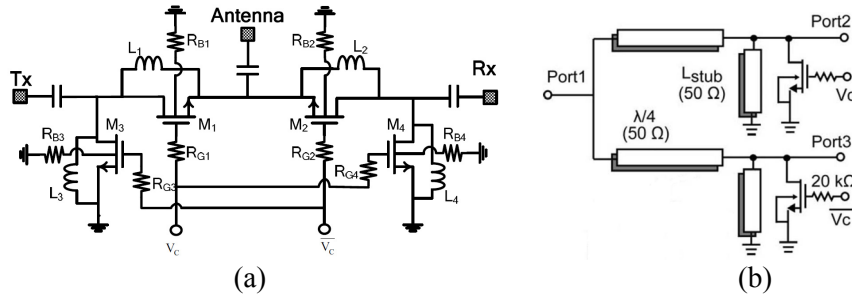


Figure IV-15 : Schéma d'un SPDT présenté dans l'article (a) [Ou, 09], (b) [Uzunkol, 10].

IV.2.2.3 Compensation par des déphaseurs

Dans le cas de la topologie série-shunt, l'isolation entre les voies RX et TX des SPDT peut s'améliorer par l'ajout de circuits de compensation, comme le montre la Figure IV-16 [Chang, 07].

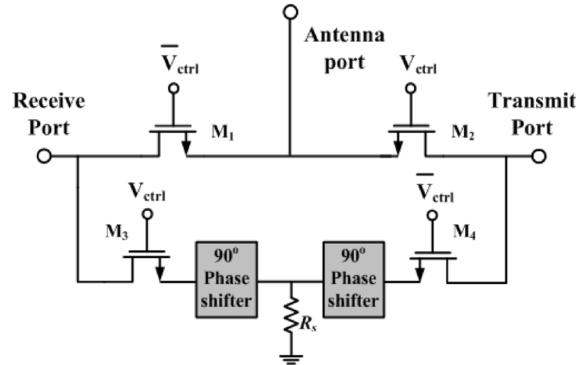


Figure IV-16 : Schéma d'un SPDT en série-shunt avec la technique de compensation [Chang, 07].

Cette technique permet d'augmenter l'isolation entre un port à l'état passant et l'autre port à l'état bloqué. Par exemple, en phase d'émission, le signal de fuite issu du port d'émission traversant M_2 (ON) en série avec M_1 (OFF) se retrouve au niveau du port de réception en opposition de phase avec un signal de même amplitude traversant en série M_2 (ON), M_1 (OFF) et deux déphaseurs de 90° . Les déphaseurs ont été réalisés en utilisant une topologie en Π (C-L-C). Le SPDT réalisé en CMOS 180 nm présente une isolation très élevée de 72 dB à 1,9 GHz. Cette technique a ensuite été utilisée aux fréquences millimétriques [Kuo, 11], et a abouti à la réalisation d'un SPDT travaillant à 60 GHz dans une technologie CMOS 90 nm présentant une isolation supérieure à 34 dB à 60 GHz.

IV.2.2.4 Utilisation de réseaux de transformation d'impédance

Dans l'article [Huang, 04], les auteurs ont introduit des réseaux de transformation d'impédance permettant d'améliorer le point de compression des SPDTs. Comme le montre la Figure IV-17, ces réseaux de transformation sont utilisés afin de réduire les impédances vues au plan d'entrée Z_s et de sortie Z_L du switch (i.e. $Z_s < R_s$ et $Z_L < R_L$ où R_s et R_L sont généralement de 50 Ω). Les tensions aux accès du switch sont diminuées par le facteur de surtension du réseau et le point de compression ICP_{1dB} est augmenté par le même facteur. Cependant, les pertes d'insertion se dégradent, d'une part à

cause des pertes supplémentaires ramenées par les éléments localisés (L et C), et d'autre part du fait que les valeurs de résistances deviennent comparables au R_{on} des MOS. [Huang, 04] montre une dégradation d' IL de 5 dB à 1,1 dB à 900 MHz lorsque Z_s et Z_L passent de 30 Ω à 5 Ω .

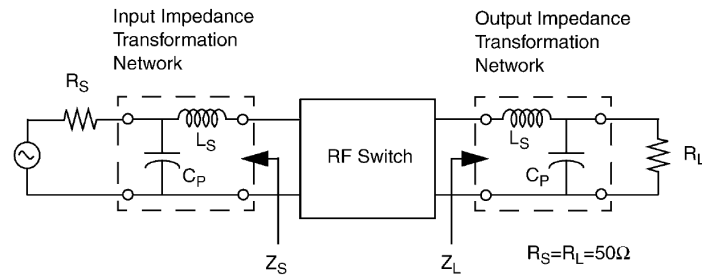


Figure IV-17 : Schéma décrivant le principe de fonctionnement de la technique « ITN » [Huang, 04].

Le premier SPDT en technologie CMOS utilisant les réseaux de transformation constitués d'inductances et de capacités « on-chip » est présenté dans [Li, 05]. Les SPDTs fonctionnant à 15 GHz ont été réalisés dans une technologie CMOS 130 nm. Les auteurs ont montré que l'utilisation de réseaux de transformation d'impédance permet d'améliorer l' ICP_{1dB} de 6,5 dB et l' Iso d'environ 5 dB (23 dB contre 17,8 dB) à 15 GHz.

IV.2.2.5 La technique du substrat flottant

Cette technique permet d'améliorer l'ensemble des performances des SPDTs intégrés sur substrat silicium [Li, 10-2]. Son principe consiste à augmenter l'impédance R_{sub} vue par les capacités source et drain du MOS (sans pour cela modifier la conductivité du substrat comme c'est le cas avec un substrat SOI) (cf. **Figure IV-13 (a)**). Du fait de cette forte impédance, le substrat devient flottant et la différence de potentiel dynamique aux bornes des capacités reste proche de 0 V. Le courant RF traversant ces capacités est donc minimisé et les pertes dans le substrat sont atténuées. De plus, la différence de potentiel dynamique aux bornes des diodes source et drain reste proche de 0 V, ce qui évite une mise en polarisation directe de ces diodes pour les forts signaux et permet d'augmenter le point de compression (cf. IV.2.1).

Grâce à l'apparition des technologies à double caisson et à leur coût de fabrication comparable au processus standard pour les technologies CMOS avancées ($L_g < 130$ nm) [Li, 10-2], il devient facile d'approcher cette condition de « substrat-flottant ». La vue en coupe d'un transistor NMOS à double caisson est présentée à la **Figure IV-18 (a)**. Le transistor inclut une couche d'isolation DNW (*Deep N-Well*) séparant le substrat local PW (*P-Well*) du substrat massif PS (*P-Substrate*). Le schéma électrique correspondant est montré sur la **Figure IV-18 (b)**. Les deux diodes PW-D et PW-S représentent les diffusions D/S. Le schéma électrique inclut aussi une diode (PW-DNW) entre *P-Well* et *Deep N-Well* en série avec la diode (DNW-PS) entre *Deep N-Well* et *P-Substrate*.

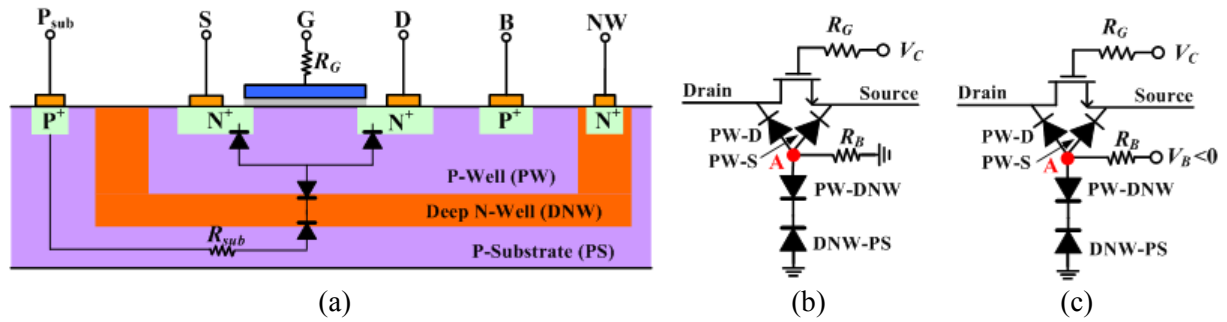


Figure IV-18 : (a) Vue en coupe d'un transistor NMOS à double caisson et schéma représentatif de la technique « substrat flottant » (b) avec $V_B = 0$ V, (c) avec $V_B < 0$ V.

La solution apportée dans le cadre de la technologie double caisson ne remplit la condition de substrat flottant que si le nœud A est à haute impédance. La résistance R_B de valeur élevée (quelques k Ω) placée le plus proche possible de l'accès au P-Well (pour éviter des capacités parasites) permet de polariser le substrat local P-Well et de remplir cette condition.

[Yeh, 06] a utilisé cette technique pour réaliser un SPDT en CMOS 180 nm de topologie série-shunt pour les applications WLAN (2,4 GHz et 5,8 GHz). Les auteurs ont montré que cette technique induit une amélioration du point de compression d'environ 2 dB avec une résistance R_B de 5 k Ω . Cette technique a été aussi utilisée dans la réalisation d'un SPDT millimétrique en topologie distribuée pouvant fonctionner jusqu'à 50 GHz par [Yeh, 05-2]. Le SPDT réalisé présente des pertes d'insertion de 6 dB à 50 GHz, une isolation supérieure à 38 dB sur toute la bande de fréquences et un point de compression de 19,6 dBm à 40 GHz.

Dans l'article [Jin, 07] les auteurs ont proposé de polariser le substrat localisé avec une tension négative, comme le montre la **Figure IV-18 (c)**. En fait, lorsque l'amplitude du signal d'entrée est supérieure à $-(|V_B|+0,6)$ V, les deux diodes de jonction PW-D/S restent bloquées [Jin, 07]. Par conséquent, le point de compression est amélioré. Par exemple, dans [Chang, 10], une amélioration du point de compression de 2 dB à 60 GHz a été obtenue lorsqu'une tension V_B de -2 V est appliquée sur les transistors à l'état OFF ($ICP_{1dB} = 17$ dBm pour $V_B = -2$ V).

Cependant, il faut tenir compte de l'impédance capacitive parasite ramenée au point A par la diode PW-DNW en série avec la diode DNW-PS. Compte tenu des surfaces de diffusion correspondantes, ces capacités sont plus importantes que les capacités de jonction PW-D/S. Pour diminuer cette capacité parasite, nous pouvons appliquer la technique de « double-caisson flottant » (pour *double-well body-floating*) [Li, 07] en polarisant en inverse les diodes PW-DNW et DNW-PS par les tensions $V_B < 0$ V et $V_{DNW} > 0$ V à travers les résistances R_B et R_{DNW} de forte valeur (plusieurs k Ω par exemple), comme montré sur la **Figure IV-19**.

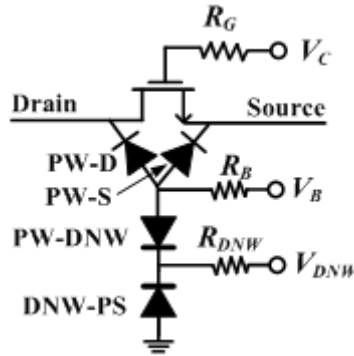


Figure IV-19 : Schéma descriptif de la technique de « double-caisson flottant ».

Nous avons utilisé cette technique pour réaliser le commutateur d'antenne millimétrique à base des lignes S-CPW dans une technologie CMOS 65 nm et qui est décrit dans la partie suivante.

IV.2.3 Réalisation d'un switch d'antenne SPDT utilisant des lignes S-CPW pour des applications millimétriques

Cette partie est dédiée à la réalisation d'un switch d'antenne SPDT de topologie distribuée (à base de lignes à onde lente ondes S-CPW) et basé sur la technique de « double-caisson flottant » décrite précédemment. Ce commutateur a été conçu pour des applications à 60 GHz en technologie CMOS 65 nm.

IV.2.3.1 Choix du nombre d'étages et de la largeur W des MOS

Un schéma simplifié d'une des branches du switch est présenté à la **Figure IV-20 (a)** dans le cas d'un SPDT à trois étages. Les lignes quart d'ondes de 50Ω en entrée n'est pas présentée sur la figure. Le schéma équivalent de la branche dans l'état passant (transistors MOS à l'état « OFF » représenté par une capacité C_{off}) et bloquée (MOS à l'état « ON » représenté par une résistance R_{ON}) sont respectivement présenté à la **Figure IV-20 (b)** et (c).

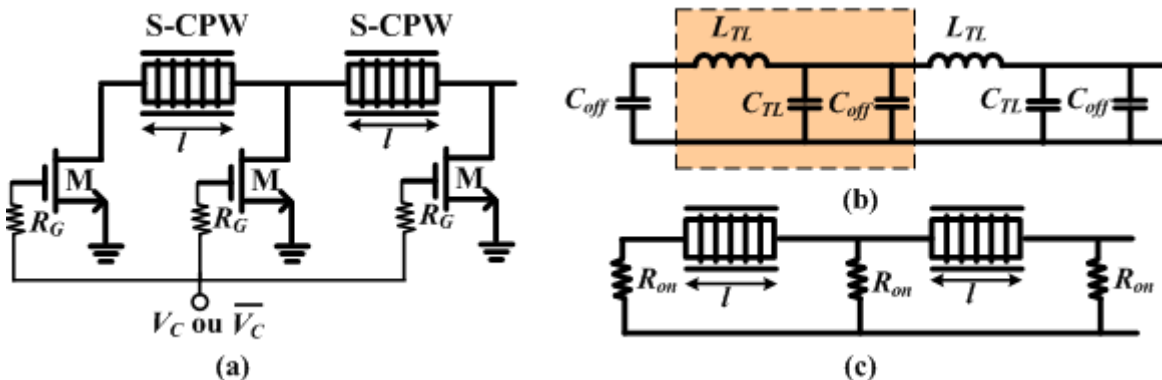


Figure IV-20 : (a) Schéma simplifié d'une des branches du SPDT à trois étages, (b) Schéma équivalent à l'état passant (les pertes des lignes sont négligées), (c) Schéma équivalente à l'état bloqué.

Lorsque les transistors MOS sont à l'état « OFF », la ligne de propagation à impédance caractéristique Z_c et de longueur l , qui est représentée par son inductance équivalente L_{TL} et sa capacité équivalente C_{TL} , forme une ligne artificielle dont l'impédance caractéristique doit être de 50Ω (cf. I.3.3.2). Les pertes dans les lignes sont négligées dans un premier temps. La cellule élémentaire de cette ligne comporte donc une inductance L_{TL} et la somme des capacités C_{TL} et C_{off} (voir **Figure IV-20 (b)**). A partir des paramètres linéiques L_l et C_l d'une ligne de propagation, l'impédance caractéristique Z_0 est reliée à Z_c par la relation (IV-17). Il est donc évident que l'impédance Z_c des lignes S-CPW utilisées doit être supérieure à 50Ω .

$$Z_0 = \sqrt{\frac{L_{TL}}{C_{TL} + C_{off}}} = \sqrt{\frac{L_l \cdot l}{C_l \cdot l + C_{off}}} = \sqrt{\frac{L_l / C_l}{1 + C_{off} / (C_l \cdot l)}} = \frac{Z_c}{\sqrt{1 + C_{off} / (C_l \cdot l)}} \quad (\text{IV-17})$$

Pour une impédance caractéristique Z_c de la ligne S-CPW choisie, les paramètres C_l et L_l sont alors connus. L'équation (IV-17) permet de calculer approximativement la longueur physique l nécessaire de ces lignes pour réaliser une ligne artificielle d'impédance 50Ω pour une largeur W de transistor donnée. Cette longueur est d'autant plus importante que la largeur du transistor est élevée (la capacité C_{off} étant alors augmentée). Dans le cas de la ligne S-CPW utilisée (cf. SCPW11 du **Tableau II-1**), les paramètres C_l , L_l et Z_c mesurés à 60 GHz sont respectivement égaux à 147 pF/m, 660 nH/m et 71Ω . En technologie CMOS 65 nm, la capacité C_{off} d'un transistor NMOS de largeur $40 \mu\text{m}$ est de l'ordre de 15 fF, conduisant donc à une longueur physique de la ligne d'environ $100 \mu\text{m}$.

Lorsque les transistors MOS sont à l'état « ON », la branche est équivalente à une ligne de propagation en court-circuit, comme le montre la **Figure IV-20 (c)** réalisant une isolation entre l'antenne et le port considéré.

Afin de déterminer le nombre d'étages et la largeur W du transistor shunt, nous avons simulé les performances à 60 GHz de structures respectivement à 2, 3 et 4 étages en fonction des largeurs des transistors. Pour les simulations de la **Figure IV-21**, seul, le modèle intrinsèque du transistor a été utilisé et la largeur W des MOS varie entre 10 et $90 \mu\text{m}$. La même largeur des transistors a été utilisée pour les deux branches afin de réaliser une configuration symétrique. Dans les simulations, les lignes SCPW11 d'impédance caractéristique 71Ω sont utilisées pour réaliser la ligne artificielle et les lignes SCPW10 (cf. **Tableau II-1**) d'impédance caractéristique proche de 50Ω sont employées pour les lignes quart d'onde. Pour chaque largeur de transistor, la longueur physique des lignes SCPW11 est ajustée pour satisfaire l'équation (IV-17).

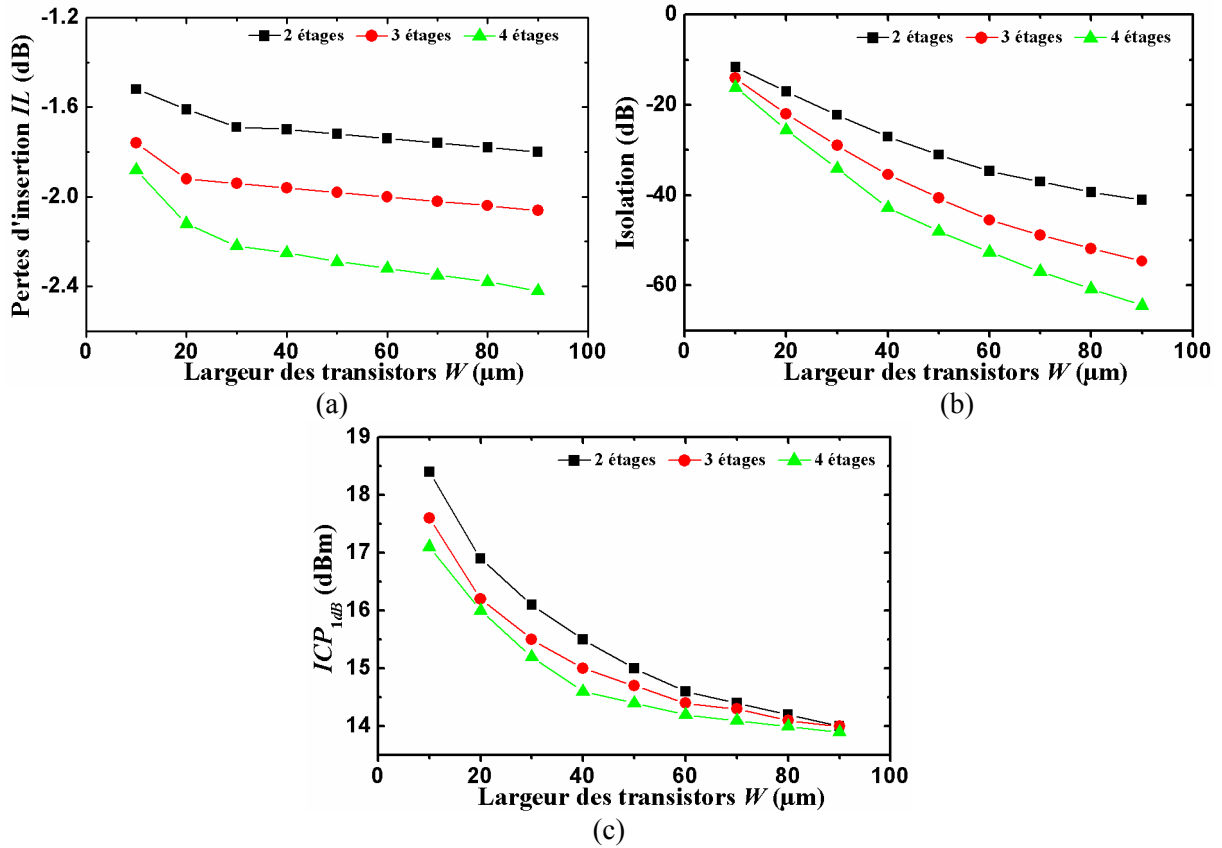


Figure IV-21 : Les performances simulées à 60 GHz d'un SPDT distribué de 2, 3 et 4 étages en fonction des largeurs des transistors. (a) IL , (b) Iso , (c) ICP_{1dB} .

Pour une largeur W fixée, les pertes d'insertion et l'isolation sont autant plus élevées que le nombre d'étages est important, alors que le point de compression se dégrade avec le nombre d'étages. Par exemple, pour la largeur des MOS $W = 40 \mu\text{m}$, l' IL , l' Iso et l' ICP_{1dB} sont respectivement de 1,6 dB, 25 dB et 15 dBm à 60 GHz dans le cas de deux étages cascades. Lorsque nous passons à quatre étages, l' IL et l' ICP_{1dB} se dégradent respectivement de 0,7 dB et 1,5 dB mais l' Iso s'améliore d'environ 20 dB. En effet, l'augmentation du nombre d'étages engendre plus de pertes dans les lignes de propagation de la voie « ON », alors que l'isolation s'améliore grâce à une mise en parallèle des résistances R_{on} .

Pour un nombre d'étages fixé, nous pouvons constater une détérioration d' IL et d' ICP_{1dB} des SPDTs avec l'augmentation de la largeur W des transistors. L'isolation, quant à elle, est d'autant plus importante que la largeur des transistors est grande. En effet, lorsque la largeur augmente, la capacité C_{off} de la voie « ON » augmente et la résistance R_{on} de la voie à l'état « OFF » diminue. Ceci conduit à une amélioration de la performance en terme d'isolation. La dégradation des pertes d'insertion peut s'expliquer par une longueur plus importante de lignes de propagation nécessaire pour une largeur W de plus grande valeur. En outre, l'impact de cette largeur est plus importante pour des transistors de largeur inférieure à $30 \mu\text{m}$. Par exemple, dans le cas des SPDT à quatre étages, l' IL et l' ICP_{1dB} se

dégradent respectivement de 0,3 dB et 2 dB mais l'*Iso* s'améliore d'environ 16 dB lorsque la largeur passe de 10 μm à 30 μm .

Afin de privilégier le point de compression, nous avons choisi de réaliser un SPDT à deux étages avec une largeur des transistors W de 40 μm permettant de maintenir des pertes d'insertion relativement faibles (de l'ordre de 2 à 3 dB à 60 GHz) et une isolation raisonnable (d'environ 20 dB). La **Figure IV-22** illustre le schéma du SPDT réalisé.

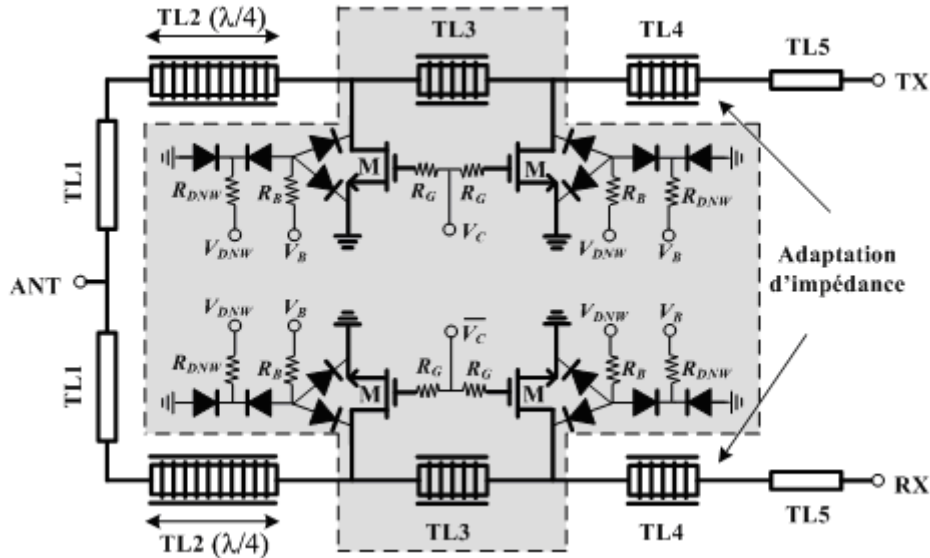


Figure IV-22 : Schéma du SPDT fonctionnant à 60 GHz utilisant des lignes S-CPW réalisé en technologie CMOS 65 nm.

Les tensions de contrôle V_C et $\overline{V_C}$ permettent de piloter l'état du switch et toutes les résistances (R_G , R_B et R_{DNW}) ont une valeur de 5 k Ω . Les lignes TL2 et TL4 sont des lignes de type SCPW10 [Burdin, 12] d'impédance caractéristique 50 Ω et de longueurs respectives $\lambda/4$ (de l'ordre de 350 μm) et 145 μm . Les lignes TL4 ont pour fonction d'adapter les impédances des accès TX et RX à 50 Ω . Les lignes TL3 sont de type SCPW11 et ont une longueur de 100 μm . Les lignes microruban TL1 et TL5 à impédance caractéristique 50 Ω (cf. TFMS3 de la **Tableau II-1**) sont employées en entrée (TL1) et en sortie (TL5) du SPDT. Les lignes TL1 permettent de connecter les lignes S-CPW quart d'ondes au nœud ANT, et les lignes TL5, quant à elles, sont utilisées pour relier les plots d'accès à la structure afin de respecter la distance minimale entre les plots horizontaux et verticaux pour des raisons de configuration de test.

La micrographie de ce SPDT est montrée sur la **Figure IV-23**. En prenant en compte tous les plots de caractérisation, la surface sur silicium occupée est de l'ordre de 0,42 mm² (780 μm \times 540 μm).

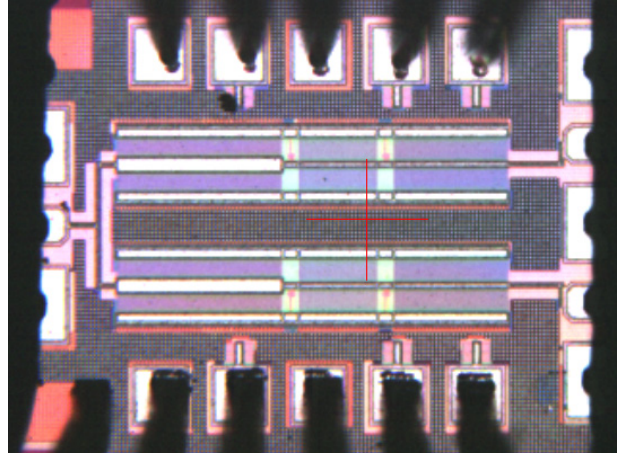


Figure IV-23 : Photo du SPDT fonctionnant à 60 GHz utilisant des lignes S-CPW réalisé en technologie CMOS 65 nm.

IV.2.3.2 Résultats expérimentaux

Les performances mesurées en fonction des fréquences pour les lignes à ondes lentes utilisées dans le switch sont présentées à la **Figure IV-24**.

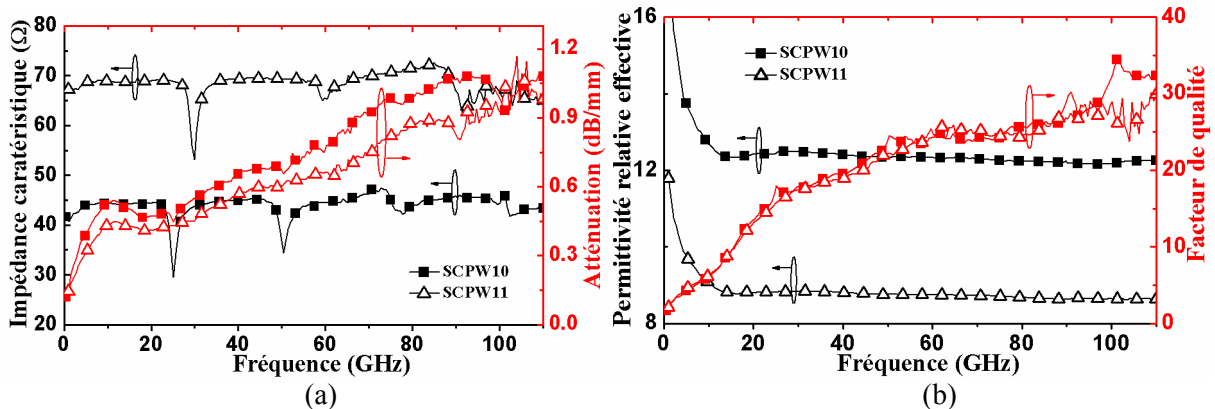


Figure IV-24 : Performances mesurées des lignes à ondes lentes SCPW10 et SCPW11 en CMOS 65 nm.

L'impédance caractéristique de ces lignes est respectivement de l'ordre de 45 Ω (SCPW10) et 70 Ω (SCPW11). Leurs permittivités et pertes linéiques à 60 GHz sont respectivement de 12,3, et 0,78 dB/mm pour SCPW10 et 8,7, et 0,66 dB/mm, conduisant à des facteurs de qualité proches de 25 pour les deux lignes.

Le SPDT a été caractérisé sous pointes jusqu'à 110 GHz en utilisant un calibrage de type LRRM. La sonde en sortie étant en configuration différentielle (type GSGSG), le port non utilisé est chargé par une impédance externe de 50 Ω . La **Figure IV-25** présente les résultats mesurés et simulés du switch. Les transistors à double-caisson ont été polarisés aux tensions suivantes : $V_b = -2$ V et $V_{dsw} = 1,4$ V. Les plots RF de caractérisation ont été pris en compte dans la simulation. De plus, le modèle des MOS à double caisson n'étant pas disponible dans le *DK*, des simulations *PLS* ont permis d'extraire les diodes de caisson.

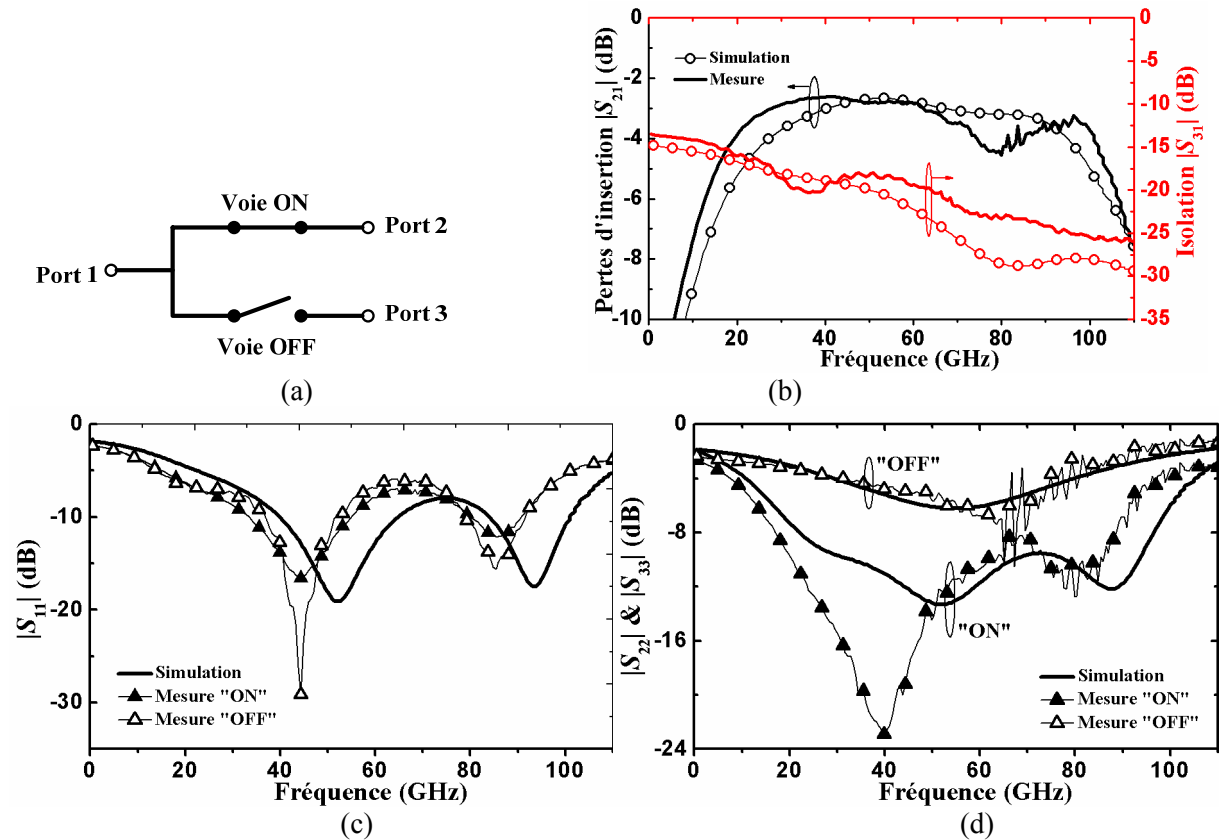


Figure IV-25 : (a) Schéma représentatif de caractérisation et les performances mesurées et simulées du SPDT à lignes S-CPW réalisé en CMOS 65 nm avec $V_b = -2$ V et $V_{dsw} = 1,4$ V. (b) IL et Iso , (c) $|S_{11}|$ à l'état « ON » et « OFF », (d) $|S_{22}|$ et $|S_{33}|$ à l'état « ON » et « OFF ».

La **Figure IV-25** montre (a) le schéma représentatif de caractérisation du SPDT, (b) les pertes d'insertion $|S_{21}|$ et l'isolation $|S_{31}|$, (c) le coefficient de réflexion en entrée $|S_{11}|$, et (d) les coefficients de réflexion en sortie $|S_{22}|$ de la branche à l'état « ON » et $|S_{33}|$ de la branche à l'état « OFF ».

Nous pouvons observer un bon accord des paramètres S entre les mesures et les simulations une large bande de fréquences. Cependant, nous notons un décalage de la première fréquence d'adaptation en entrée (44 GHz en mesure au lieu de 52 GHz en simulation). Par ailleurs, une résonance parasite apparaît en mesure sur les pertes d'insertion à environ 80 GHz, ce qui semble provenir des réseaux d'adaptation en sortie (ports 2 et 3). Une étude complémentaire devra être menée pour expliquer finement cette résonance. L'isolation mesurée est légèrement moins bonne que celle simulée (en moyenne de 4 dB) pour les fréquences supérieures à 40 GHz.

A la fréquence attendue de 60 GHz, les pertes d'insertion sont meilleures que 2,8 dB, ce qui correspond à l'état de l'art actuel. L'isolation est alors de l'ordre de 20 dB, avec une adaptation en entrée inférieure à -10 dB. Cependant, l'adaptation du port de sortie à l'état « OFF » $|S_{33}|$ est plus faible (-8 dB à 60 GHz), que celle du port de sortie à l'état « ON » $|S_{22}|$ (< -12 dB).

Notons le caractère large bande de ce circuit : en considérant un IL meilleur que 4,5 dB, le SPDT présente une plage de fonctionnement sur une bande de fréquences comprise entre 17 GHz et 100 GHz (avec une isolation comprise entre 15 et 25,5 dB). Les plus faibles pertes sont obtenues à 41 GHz avec $IL = 2,6$ dB et $Iso = 19$ dB.

Concernant le point de compression ICP_{1dB} du SPDT, d'après la **Figure IV-26 (a)**, les simulations montrent que le pont de compression évolue entre 17,4 dBm et 12,8 dBm pour des fréquences variant entre 35 et 90 GHz ($V_b = -2$ V et $V_{dsw} = 1,4$ V). Cependant, les mesures n'ont pas pu être effectuées au-delà d'une fréquence de 35 GHz. Au-delà de cette fréquence, la puissance délivrée par l'appareillage est trop faible pour atteindre les valeurs simulées. L' ICP_{1dB} mesuré à 35 GHz vaut 16,9 dBm contre 17,4 dBm en simulation (**Figure IV-26 (b)**). Compte tenu des résultats de simulation, nous pouvons attendre, à 60 GHz, un point de compression de l'ordre de 16 dBm.

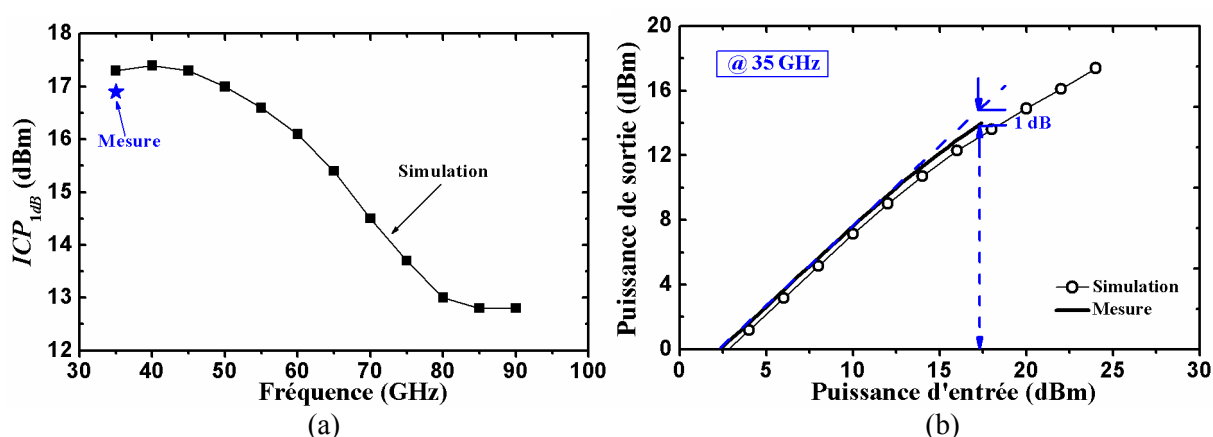


Figure IV-26 : Points de compression mesurés et simulés du SPDT à lignes S-CPW réalisé en CMOS 65 nm avec $V_b = -2$ V et $V_{dsw} = 1,4$ V. (a) pour différentes fréquences. (b) à 35 GHz,

Les performances actuelles des différents SPDTs distribués fonctionnant autour de 60 GHz en technologies CMOS sont récapitulées dans le **Tableau IV-3** et comparées avec notre réalisation.

Référence	Tech. (nm)	IL (60 G) (dB)	Iso (60 G) (dB)	ICP_{1dB} (dBm)
[Quemerais, 10-4]	45	5	21	11@60 G
[Chao, 07]	90	3	30	15@77 G
[Lai, 10-2]		3	26	10,5@75 G
[Chang, 10]		3	48	17
[Chen, 10-2]		3,6	35	17
[Yeh, 05]	130	4	16	13,8@40 G
Ce travail	65	2,8	20	16,9@35 G 16,3*@60 G

* : résultat simulé

Tableau IV-3 : Etat de l'art des SPDTs distribués travaillant autour de 60 GHz en technologies CMOS en comparaison avec le SPDT réalisé.

Bien que l'isolation de ce SPDT soit relativement plus faible par rapport à certaines réalisations, le SPDT réalisé présente les pertes d'insertion les plus faibles à 60 GHz. Le switch présente, en mesure, un ICP_{1dB} d'environ 17 dBm à 35 GHz et une valeur de l'ordre de 16 dBm à 60 GHz a été obtenu en simulation. Pour un SPDT, les pertes d'insertion et le point de compression sont des paramètres critiques car ils ont un impact direct sur la puissance disponible à l'antenne en phase d'émission et sur le facteur de bruit en phase de réception. En cela notre SPDT est très bien placé par rapport à l'état de l'art.

IV.3 Conclusion

Ce chapitre a permis de mettre en évidence l'intérêt des lignes à ondes lentes dans la conception des amplificateurs à faible bruit et des commutateurs d'antenne en bande millimétrique.

Un amplificateur à faible bruit à trois étages utilisant la topologie cascode a été conçu avec des lignes à ondes lentes en technologie CMOS 65 nm. En ce qui concerne la figure de bruit, une méthode d'optimisation a été proposée. La participation de l'étage en grille commune dans une topologie cascodée a été étudiée, permettant de définir un critère de choix de la largeur des transistors. Les performances obtenues en simulation sont bien situées en comparaison avec les LNAs fonctionnant à 60 GHz proposés dans la littérature. Bien que le facteur de bruit ne soit pas le meilleur, il reste pourtant relativement faible. Les performances en linéarité (ICP_{1dB} ou IIP_{3s}) sont très bien situées par rapport à l'état de l'art. Enfin la comparaison avec la même structure utilisant des lignes classiques TFMS pour les réseaux d'adaptation, met en évidence l'amélioration apportée par les lignes à ondes lentes en termes de bruit et de gain.

Par ailleurs, nous avons aussi réalisé et caractérisé jusqu'à 110 GHz un commutateur d'antenne de type SPDT en technologie CMOS 65 nm. Ce commutateur utilise une topologie distribuée avec des lignes à ondes lentes présentant des impédances caractéristiques de valeur proche de $50\ \Omega$ et $70\ \Omega$. Afin d'améliorer les performances du SPDT, les transistors à double caisson ont été utilisés afin de permettre l'application de la technique de « double-caisson flottant ». Le SPDT réalisé présente, malgré une isolation modérée (20 dB) à 60 GHz, les meilleures pertes d'insertion et un point de compression simulé élevé en comparaison avec l'état de l'art.

Conclusion et perspectives

L'évolution des technologies silicium CMOS est favorable aux performances des composants actifs (transistors MOS) en termes de fréquences caractéristiques (f_t et f_{max}) et de facteur de bruit (NF_{min}). Cependant, cette évolution pose des problématiques liées à la réduction des tensions d'alimentation et surtout à la réduction des dimensions (largeur et épaisseur) des interconnexions métalliques disponibles dans ces technologies. Cette réduction des dimensions dégrade le facteur de qualité des composants passifs utilisés dans les circuits et limite les performances des circuits comme les amplificateurs de puissance, amplificateurs à faible bruit et les commutateurs d'antenne.

Les travaux de recherche réalisés dans le cadre de cette thèse ont permis de montrer l'apport des lignes à ondes lentes de type S-CPW à cette problématique. Ce type de ligne présente une permittivité relative effective et un facteur de qualité supérieurs à ceux des lignes classiques de type microruban ou coplanaire. L'utilisation des lignes à ondes lentes dans les réseaux d'adaptation d'impédance des circuits permet d'améliorer notablement les performances de ces derniers.

Plusieurs lignes à ondes lentes S-CPW, présentant des impédances caractéristiques variant entre $25\ \Omega$ et $70\ \Omega$, ont été réalisées et caractérisées dans trois technologies différentes de STMicroelectronics : CMOS 45 nm Bulk, CMOS 65 nm Bulk et CMOS 65 nm SOI. Ces lignes S-CPW ont été optimisées à base de règles établies avec l'outil de simulation électromagnétique HFSS. Durant la seconde partie de ma thèse, grâce à l'utilisation d'un logiciel quasi-statique Flux 3D, permettant de dissocier les études électriques et magnétiques, j'ai participé à la validation d'un modèle électrique équivalent synthétisant les phénomènes physiques présents dans ce type de structure à ondes lentes. A l'aide de ce modèle, des règles d'optimisation concernant les dimensions géométriques des barreaux flottants ont notamment été établies de manière fine : séparation des pertes conductrices et des pertes par courant de Foucault dans les barreaux flottants. Dans le cas d'un fort effet d'ondes lentes présent dans la structure, pour aboutir à un minimum de pertes, la largeur des barreaux doit être minimale, avec un taux de remplissage et une épaisseur de métal élevés. En outre, nous avons pu mener une étude sur la répartition des pertes de différentes origines dans une structure S-CPW. Par ailleurs, une étude de la topologie blindée des lignes S-CPW a permis de mettre en évidence l'impact négligeable du blindage latéral sur les performances des lignes.

Les performances de ces lignes ont ensuite été comparées à celles des lignes microruban réalisées en CMOS 45 nm et 65 nm et à celles des lignes CPW en CMOS 65 nm SOI présentant la même impédance caractéristique. Les lignes microruban de faible impédance caractéristique (de l'ordre de $30\ \Omega$) présentent des pertes linéiques de l'ordre de 1,1 dB/mm à 60 GHz et des permittivités relatives effectives entre 3 et 5, conduisant à des facteurs de qualité inférieurs à 10. Dans une même

technologie, bien que les lignes S-CPW de même impédance caractéristique présentent des pertes supérieures (1,6 dB/mm en CMOS 65 nm et 2,2 dB/mm en 45 nm à 60 GHz), de forts effets d'ondes lentes ont été obtenus (permittivités de l'ordre de 30 et 48 respectivement), conduisant à des facteurs de qualité environ deux fois supérieurs et à des facteurs de miniaturisation importants (constante de phase pouvant atteindre 8700 rad/m à 60 GHz). Mes travaux ont permis de montrer également l'intérêt des lignes S-CPW réalisées sur substrat SOI à haute résistivité présentant à la fois des faibles pertes (inférieures à 1,1 dB/mm, voire 0,5 dB/mm pour certaines lignes) et des permittivités élevées (variant entre 8 et 40 selon l'impédance caractéristique), permettant d'aboutir à des facteurs de qualité élevés (jusqu'à 40 à 60 GHz). Par rapport aux lignes CPW conçues dans la même technologie, les performances mesurées de lignes S-CPW sont meilleures en termes de pertes linéiques, de permittivité relative effective et donc de facteur de qualité, cela quelque soit l'impédance caractéristique visée.

Nous avons pu confirmer l'intérêt présenté par ces structures à ondes lentes dans la réalisation de fonctions millimétriques. Dans un premier temps, nous avons réalisé un circuit test composé d'un amplificateur test à un seul étage réalisé en technologie CMOS 45 nm. Cet amplificateur présente à 60 GHz un gain en puissance et un point de compression supérieurs de 2 dB par rapport à la même structure réalisée avec des lignes microruban de même impédance caractéristique. Dans une deuxième phase, nous avons réalisé un amplificateur de puissance à trois étages ayant des spécifications adaptées aux applications à 60 GHz. Les performances mesurées à la fréquence de travail ($OCP_{1dB} = 12$ dBm, pour une $PAE = 16$ % avec une consommation de 156 mW sous 1,2 V) sont à l'état de l'art en ce qui concerne les amplificateurs de puissance millimétriques à base de lignes de propagation. Le bon accord entre performances mesurées et simulées a permis de valider la méthode de conception développée et basée en particulier sur les règles d'électro-migration à une température spécifique. Il reste cependant à mener des études supplémentaires pour expliquer les faibles performances en grand signal obtenues pour la version différentielle de cet amplificateur.

L'intérêt des lignes à ondes lentes a également été démontré pour les amplificateurs faible bruit. Une structure cascode à trois étages réalisée avec les deux types de lignes (S-CPW et TMFS) a été expertisée en simulation. La version utilisant des lignes S-CPW présente un gain et une figure de bruit respectivement 5 dB au dessus et 2 dB au dessous de ceux de la version utilisant des lignes TMFS conduisant à une figure de mérite (ITRS) à l'état de l'art. Cette étude, a été aussi l'occasion de présenter une méthode d'optimisation du facteur de bruit basée sur la prise en compte de la densité de courant optimale et une analyse de la contribution au bruit total de l'étage en grille commune.

Enfin, un commutateur d'antenne de type SPDT à base des lignes à ondes lentes a également été réalisé. La structure utilisée est une structure distribuée à deux étages utilisant des transistors à double caisson et des lignes à ondes lentes d'impédance caractéristique relativement élevée (50 Ω et 70 Ω). Le SPDT présente les meilleures pertes d'insertion à 60 GHz ($IL = 2,8$ dB avec $Iso = 20$ dB). Le point

de compression en entrée a été caractérisé à 35 GHz (limité par l'appareillage de caractérisation) et présente une valeur de 16,9 dBm. La valeur simulée du point de compression est de 16,3 dBm à 60 GHz.

Les travaux effectués dans le cadre de cette thèse ont permis de montrer l'apport des lignes à ondes lentes aux performances des fonctions rentrant dans la constitution d'un front-end fonctionnant à 60 GHz dans une technologie CMOS 65 nm.

En perspectives de ces études, un objectif à terme sera de pouvoir utiliser ce type de ligne de propagation performante dans le cadre de la montée en fréquence au-delà de 100 GHz. Pour ces fréquences, le modèle des lignes S-CPW développé au laboratoire permet d'appréhender les paramètres d'optimisation des lignes (en termes de pertes notamment et de facteur de qualité).

En ce qui concerne le développement des fonctions critiques, l'utilisation de lignes à ondes lentes dans les oscillateurs peut être envisagée pour minimiser le bruit de phase qui est directement lié au coefficient de qualité des résonateurs passifs.

Par ailleurs, la caractérisation sous pointes des fonctions différentielles à ces fréquences nécessite des appareillages et des méthodes de caractérisation complexes à mettre en œuvre, qui doivent être encore maîtrisées. L'intégration de baluns et/ou de coupleurs à base des lignes S-CPW (en cours de développement au laboratoire) permettra de simplifier la caractérisation par des mesures en mode commun plus maîtrisées actuellement. L'objectif est, à terme, d'augmenter l'intégrabilité des fonctions millimétriques et d'améliorer leurs performances.

Bibliographies

[Abbasi, 10]

M. Abbasi, T. Kjellberg, A. de Graauw, E. van der Heijden, R. Roovers, and H. Zirath, "A broadband differential cascode power amplifier in 45 nm CMOS for high-speed 60 GHz system-on-chip," in *Radio Frequency Integrated Circuits Symposium (RFIC), 2010 IEEE*, pp. 533-536.

[Aloui, 08]

S. Aloui, E. Kerherve, D. Belot, and R. Plana, "A 60GHz, 13 dBm fully integrated 65nm RF-CMOS power amplifier," in *Circuits and Systems and TAISA Conference, 2008. NEWCAS-TAISA 2008. 2008 Joint 6th International IEEE Northeast Workshop on*, 2008, pp. 237-240.

[Aloui, 11]

S. Aloui, E. Kerherve, R. Plana, and D. Belot, "A 59GHz-to-67GHz 65nm-CMOS high efficiency Power Amplifier," in *New Circuits and Systems Conference (NEWCAS), 2011 IEEE 9th International*, pp. 225-228.

[Aloui, 12]

S. Aloui, Y. Luque, N. Demirel, B. Leite, R. Plana, D. Belot, and E. Kerherve, "Optimized power combining technique to design a 20dB gain, 13.5dBm OCP1 60GHz power amplifier using 65nm CMOS technology," in *Radio Frequency Integrated Circuits Symposium (RFIC), 2012 IEEE*, pp. 53-56.

[Atesal, 09]

Y. A. Atesal, B. Cetinoneri, and G. M. Rebeiz, "Low-loss 0.13- μ m CMOS 50-70 GHz SPDT and SP4T switches," in *Radio Frequency Integrated Circuits Symposium, 2009. RFIC 2009. IEEE*, 2009, pp. 43-46.

[Bi, 10]

B. Xiaojun, G. Yongxin, J. Brinkhoff, L. Mook-Seng, and L. Fujiang, "60GHz unilateralized CMOS differential amplifier," in *Microwave and Millimeter Wave Technology (ICMMT), 2010 International Conference on*, pp. 204-207.

[Brinkhoff, 09]

J. Brinkhoff, K. Kai, P. Duy-Dong, and L. Fujiang, "A 60 GHz transformer-based variable-gain power amplifier in 90nm CMOS," in *Radio-Frequency Integration Technology, 2009. RFIT 2009. IEEE International Symposium on*, 2009, pp. 60-63.

[Boers, 10]

M. Boers, "A 60GHz transformer coupled amplifier in 65nm digital CMOS," in *Radio Frequency Integrated Circuits Symposium (RFIC), 2010 IEEE*, pp. 343-346.

[Bohsali, 09]

M. Bohsali and A. M. Niknejad, "Current combining 60GHz CMOS power amplifiers," in *Radio Frequency Integrated Circuits Symposium, 2009. RFIC 2009. IEEE*, 2009, pp. 31-34.

[Boots, 04]

H. M. J. Boots, G. Doornbos, and A. Heringa, "Scaling of characteristic frequencies in RF CMOS," *Electron Devices, IEEE Transactions on*, vol. 51, pp. 2102-2108, 2004.

[Bowick, 97]

C. Bowick, "RF Circuit Design," Newnes, 1997. ISBN: 0750699469.

[Burdin, 12]

F. Burdin, F. Podevin, B. Blampey, N. Corrao, E. Pistono and P. Ferrari, "Millimeter-Wave Rat-Race Balun in a CMOS 65 nm Technology with Slow-Wave Transmission lines and innovative topology ", PIERS 2012, Moscow, Russia.

[Cathelin, 07]

Cathelin, B. Martineau, N. Seller, S. Douyere, J. Gorisse, S. Pruvost, C. Raynaud, F. Ganesello, S. Montusclat, S. P. Voinigescu, A. M. Niknejad, D. Belot, and J. P. Schoellkopf, "Design for millimeter-wave applications in silicon technologies," in *Solid State Circuits Conference, 2007. ESSCIRC 2007. 33rd European*, 2007, pp. 464-471.

[Caverly, 99]

R. H. Caverly, "Linear and nonlinear characteristics of the silicon CMOS monolithic 50 Ω microwave and RF control element," *Solid-State Circuits, IEEE Journal of*, vol. 34, pp. 124-126, 1999.

[Chan, 10]

W. L. Chan and J. R. Long, "A 58-65 GHz Neutralized CMOS Power Amplifier With PAE Above 10% at 1-V Supply," *Solid-State Circuits, IEEE Journal of*, vol. 45, pp. 554-564.

[Chang, 07]

C. Shuen-Chien, C. Sheng-Fuh, C. Ting-Yueh, and T. Jian-An, "An Internally-Matched High-Isolation CMOS SPDT Switch Using Leakage Cancellation Technique," *Microwave and Wireless Components Letters, IEEE*, vol. 17, pp. 525-527, 2007.

[Chang, 10]

C. Hong-Yeh and C. Ching-Yan, "A Low Loss High Isolation DC-60 GHz SPDT Traveling-Wave Switch With a Body Bias Technique in 90 nm CMOS Process," *Microwave and Wireless Components Letters, IEEE*, vol. 20, pp. 82-84.

[Chao, 07]

S. F. Chao, H. Wang, C. Y. Su, and J. G. J. Chern, "A 50 to 94-GHz CMOS SPDT Switch Using Traveling-Wave Concept," *Microwave and Wireless Components Letters, IEEE*, vol. 17, pp. 130-132, 2007.

[Chen, 10]

C. Chi-Chen, L. Yo-Sheng, H. Pen-Li, C. Jin-Fa, and L. Shey-Shi, "A 4.9-dB NF 53.5-62-GHz micro-machined CMOS wideband LNA with small group-delay-variation," in *Microwave Symposium Digest (MTT), 2010 IEEE MTT-S International*, pp. 489-492.

[Chen, 10-2]

C. Guan-Yu, C. Hong-Yeh, C. Ching-Yan, T. Wen-Hua, L. Chin-Shen, K. Chen, and W. Szu-Hsien, "Cold-mode characteristics of 90 nm CMOS device with negative body bias and highly linear millimeter-wave switch applications," in *Microwave Conference Proceedings (APMC), 2010 Asia-Pacific*, pp. 554-557

[Chen, 11]

C. Jiashu and A. M. Niknejad, "A compact 1V 18.6dBm 60GHz power amplifier in 65nm CMOS," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2011 IEEE International*, pp. 432-433.

[Cheung, 03]

T. S. D. Cheung, J. R. Long, K. Vaed, R. Volant, A. Chinthakindi, C. M. Schnabel, J. Florkey, and K. Stein, "On-chip interconnect for mm-wave applications using an all-copper technology and wavelength reduction," in *Solid-State Circuits Conference, 2003. Digest of Technical Papers. ISSCC. 2003 IEEE International*, 2003, pp. 396-501 vol.1.

[Cheung, 05]

T. S. D. Cheung and J. R. Long, "A 21-26-GHz SiGe bipolar power amplifier MMIC," *Solid-State Circuits, IEEE Journal of*, vol. 40, pp. 2583-2597, 2005.

[Cheung, 06]

T. S. D. Cheung and J. R. Long, "Shielded passive devices for silicon-based monolithic microwave and millimeter-wave integrated circuits," *Solid-State Circuits, IEEE Journal of*, vol. 41, pp. 1183-1200, 2006.

[Chiou, 10]

C. Hwann-Kaeo, L. Kuan-Zung, and W. Shang-Ju, "A high performance V-band low noise amplifier using thin-film microstrip (TFMS) lines in 0.13 μm CMOS technology," in *Microwave Conference Proceedings (APMC), 2010 Asia-Pacific*, pp. 1513-1516.

[Cho, 09]

C. Hsiu-Ying, Y. Tzu-Jin, S. Liu, and W. Chung-Yu, "High-Performance Slow-Wave Transmission Lines With Optimized Slot-Type Floating Shields," *Electron Devices, IEEE Transactions on*, vol. 56, pp. 1705-1711, 2009.

[Chowdhury, 08]

D. Chowdhury, P. Reynaert, and A. M. Niknejad, "A 60GHz 1V + 12.3dBm Transformer-Coupled Wideband PA in 90nm CMOS," in *Solid-State Circuits Conference, 2008. ISSCC 2008. Digest of Technical Papers. IEEE International*, 2008, pp. 560-635.

[Chowdhury, 09]

D. Chowdhury, P. Reynaert, and A. M. Niknejad, "Design Considerations for 60 GHz Transformer-Coupled CMOS Power Amplifiers," *Solid-State Circuits, IEEE Journal of*, vol. 44, pp. 2733-2744, 2009.

[Cohen, 08]

E. Cohen, S. Ravid, and D. Ritter, "An ultra low power LNA with 15dB gain and 4.4db NF in 90nm CMOS process for 60 GHz phase array radio," in *Radio Frequency Integrated Circuits Symposium, 2008. RFIC 2008. IEEE*, 2008, pp. 61-64.

[Cohen, 09]

E. Cohen, S. Ravid, and D. Ritter, "60GHz 45nm PA for linear OFDM signal with predistortion correction achieving 6.1% PAE and -28dB EVM," in *Radio Frequency Integrated Circuits Symposium, 2009. RFIC 2009. IEEE*, 2009, pp. 35-38.

[Cripps, 06]

S. C. Cripps, "RF Power Amplifiers for Wireless Communications," Artech House, 2nd ed., 2006. ISBN: 1596930187.

[Daniels, 10]

R. C. Daniels, J. N. Murdock, T. S. Rappaport, and R. W. Heath, "60 GHz Wireless: Up Close and Personal," *Microwave Magazine, IEEE*, vol. 11, pp. 44-50.

[Dawn, 08]

D. Dawn, S. Sarkar, P. Sen, B. Perumana, D. Yeh, S. Pinel, and J. Laskar, "17-dB-gain CMOS power amplifier at 60GHz," in *Microwave Symposium Digest, 2008 IEEE MTT-S International*, 2008, pp. 859-862.

[Dawn, 09]

D. Dawn, S. Sarkar, P. Sen, B. Perumana, M. Leung, N. Mallavarpu, S. Pinel, and J. Laskar, "60GHz CMOS power amplifier with 20-dB-gain and 12dBm Psat," in *Microwave Symposium Digest, 2009. MTT '09. IEEE MTT-S International*, 2009, pp. 537-540.

[Deferm, 11]

N. Deferm, J. F. Osorio, A. de Graauw, and P. Reynaert, "A 94GHz differential power amplifier in 45nm LP CMOS," in *Radio Frequency Integrated Circuits Symposium (RFIC), 2011 IEEE*, pp. 1-4.

[Dickson, 05]

T. O. Dickson, M. A. LaCroix, S. Boret, D. Gloria, R. Beerkens, and S. P. Voinigescu, "30-100-GHz inductors and transformers for millimeter-wave (Bi)CMOS integrated circuits," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 53, pp. 123-133, 2005.

[Dickson, 06]

T. O. Dickson, K. H. K. Yau, T. Chalvatzis, A. M. Mangan, E. Laskin, R. Beerkens, P. Westergaard, M. Tazlauanu, Y. Ming-Ta, and S. P. Voinigescu, "The Invariance of Characteristic Current Densities in Nanoscale MOSFETs and Its Impact on Algorithmic Design Methodologies and Design Porting of Si(Ge) (Bi)CMOS High-Speed Building Blocks," *Solid-State Circuits, IEEE Journal of*, vol. 41, pp. 1830-1845, 2006.

[Doan, 05]

C. H. Doan, S. Emami, A. M. Niknejad, and R. W. Brodersen, "Millimeter-wave CMOS design," *Solid-State Circuits, IEEE Journal of*, vol. 40, pp. 144-155, 2005.

[Essing, 11]

J. Essing, R. Mahmoudi, P. Yu, and A. van Roermund, "A fully integrated 60GHz distributed transformer power amplifier in bulky CMOS 45nm," in *Radio Frequency Integrated Circuits Symposium (RFIC), 2011 IEEE*, pp. 1-4.

[Fahimnia, 11]

M. Fahimnia, M. Mohammad-Taheri, W. Ying, Y. Ming, and S. Safavi-Naeini, "A 59-66 GHz Highly Stable Millimeter Wave Amplifier in 130 nm CMOS Technology," *Microwave and Wireless Components Letters, IEEE*, vol. 21, pp. 320-322.

[Fisher, 07]

R. Fisher, "60 GHz WPAN Standardization within IEEE 802.15.3c," in *Signals, Systems and Electronics, 2007. ISSSE '07. International Symposium on*, 2007, pp. 103-105.

[Franc, 09]

A. L. Franc, D. Kaddour, H. Issa, E. Pistono, N. Corrao, J. M. Fournier, and P. Ferrari, "Slow-wave high performance shielded CPW transmission lines: A lossy model," in *Microwave Conference, 2009. EuMC 2009. European*, 2009, pp. 185-188.

[Franc, 11]

A.-L. Franc, "Lignes de propagation intégrées à fort facteur de qualité en technologie CMOS – Application à la synthèse de circuits passifs millimétriques," Thèse de Doctorat, Université de Grenoble, Juillet 2011.

[Franc, 12]

A.-L. Franc, E. Pistono, G. Meunier, D. Glorial, P. Ferrari, "A Lossy Circuit Model Based on Physical Interpretation for Integrated Slow-wave CMOS Coplanar Waveguide Structures," *Electron Devices, IEEE Transactions on*, 2012 (soumis).

[Freitas, 11]

V. Freitas, J. Arnould, and P. Ferrari, "Theoretical analysis and design of efficient tunable matching networks," in *Microwave & Optoelectronics Conference (IMOC), 2011 SBMO/IEEE MTT-S International*, pp. 303-307.

[Fukui, 79]

H. Fukui, "Optimal noise figure of microwave GaAs MESFET's," *Electron Devices, IEEE Transactions on*, vol. 26, pp. 1032-1037, 1979.

[Gianesello, 06]

F. Gianesello, D. Gloria, S. Montusclat, C. Raynaud, S. Boret, C. Clement, G. Dambrine, S. Lepilliet, F. Saguin, P. Scheer, P. Benech, and J. M. Fournier, "65 nm RFCMOS technologies with bulk and HR SOI substrate for millimeter wave passives and circuits characterized up to 220 GHz," in *Microwave Symposium Digest, 2006. IEEE MTT-S International*, 2006, pp. 1927-1930.

[Giannetti, 99]

F. Giannetti, M. Luise, and R. Reggiannini, "Mobile and Personal Communications in the 60 GHz Band: A Survey," *Wireless Personal Communications*, vol. 10, pp. 207-243, 1999.

[Golde, 63]

H. Golde and C. Yeh, "On "A relation between α and Q", " *Proceedings of the IEEE*, vol. 51, pp. 484-484, 1963.

[Gonzalez, 97]

G. Gonzalez, "Microwave transistor amplifiers: analysis and design," Prentice Hall, 2nd ed., 1997. ISBN: 0132543354.

[Gray, 01]

P. R. Gray, "Analysis And Design Of Analog Integrated Circuits," Wiley, 4th ed., 2001. ISBN: 0471321680.

[Grieg, 52]

D. D. Grieg and H. F. Engelmann, "Microstrip-A New Transmission Technique for the Klilomegacycle Range," *Proceedings of the IRE*, vol. 40, pp. 1644-1650, 1952.

[Han, 06]

H. Yehui and D. J. Perreault, "Analysis and Design of High Efficiency Matching Networks," *Power Electronics, IEEE Transactions on*, vol. 21, pp. 1484-1491, 2006.

[Haroun, 09]

I. Haroun, H. Yuan-Chia, J. Wight, and C. Plett, "CMOS low-noise amplifier with VPW matching elements for 60-GHz-band Gbit/s wireless systems," in *Microwave Conference, 2009. APMC 2009. Asia Pacific*, 2009, pp. 473-476.

[Hasegawa, 71]

H. Hasegawa, M. Furukawa, and H. Yanai, "Properties of Microstrip Line on Si-SiO₂ System," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 19, pp. 869-881, 1971.

[Hasegawa, 77]

H. Hasegawa and H. Okizaki, "M.I.S. and Schottky slow-wave coplanar striplines on GaAs substrates," *Electronics Letters*, vol. 13, pp. 663-664, 1977.

[He, 10]

H. Ying, L. Lianming, and P. Reynaert, "60GHz power amplifier with distributed active transformer and local feedback," in *ESSCIRC, 2010 Proceedings of the*, pp. 314-317.

[Hettak, 11]

K. Hettak, T. Ross, J. Wight, and G. Morin, "DC to 70 GHz 90 nm 3D CMOS SPDT using elevated CPW and CPS series stubs," in *Microwave Symposium Digest (MTT), 2011 IEEE MTT-S International*, pp. 1-4.

[Heydari, 07]

B. Heydari, M. Bohsali, E. Adabi, and A. M. Niknejad, "Millimeter-Wave Devices and Circuit Blocks up to 104 GHz in 90 nm CMOS," *Solid-State Circuits, IEEE Journal of*, vol. 42, pp. 2893-2903, 2007.

[Hoarau, 08]

C. Hoarau, N. Corrao, J. D. Arnould, P. Ferrari, and P. Xavier, "Complete Design and Measurement Methodology for a Tunable RF Impedance-Matching Network," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 56, pp. 2620-2627, 2008.

[Horng, 03]

T. S. Horng, K. C. Peng, J. K. Jau, and Y. S. Tsai, "S-parameter formulation of quality factor for a spiral inductor in generalized two-port configuration," in *Radio Frequency Integrated Circuits (RFIC) Symposium, 2003 IEEE*, 2003, pp. 255-258.

[Hsieh, 10]

H. Chia-Yu, K. Jhe-Jia, T. Zuo-Min, and L. Kun-You, "A 57-66 GHz medium power amplifier in 65-nm CMOS technology," in *Microwave Conference Proceedings (APMC), 2010 Asia-Pacific*, pp. 1617-1620.

[Hsieh, 11]

H. Hsieh-Hung, W. Po-Yi, J. Chewn-Pu, H. Fu-Lung, and H. Guo-Wei, "60GHz high-gain low-noise amplifiers with a common-gate inductive feedback in 65nm CMOS," in *Radio Frequency Integrated Circuits Symposium (RFIC), 2011 IEEE*, pp. 1-4.

[Hsu, 63]

H. P. Hsu, "On The General Relation Between $1/\alpha$ and Q (Correspondence)," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 11, pp. 258-258, 1963.

[Huang, 01]

H. Feng-Jung and K. O, "A 0.5- μ m CMOS T/R switch for 900-MHz wireless applications," *Solid-State Circuits, IEEE Journal of*, vol. 36, pp. 486-492, 2001.

[Huang, 04]

H. Feng-Jung and K. K. O, "Single-pole double-throw CMOS switches for 900-MHz and 2.4-GHz applications on p⁺ silicon substrates," *Solid-State Circuits, IEEE Journal of*, vol. 39, pp. 35-41, 2004.

[Huang, 09]

H. Bo-Jr, L. Kun-You, and W. Huei, "Millimeter-Wave Low Power and Miniature CMOS Multicascoded Low-Noise Amplifiers with Noise Reduction Topology," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 57, pp. 3049-3059, 2009.

[Huang, 09-2]

H. Bo-Jr, W. Chi-Hsueh, C. Chung-Chun, L. Ming-Fong, H. Pin-Cheng, L. Kun-You, and W. Huei, "Design and Analysis for a 60-GHz Low-Noise Amplifier With RF ESD Protection," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 57, pp. 298-305, 2009.

[Huang, 11]

H. Chun-Chieh, K. Hsin-Chih, H. Tzuen-Hsi, and C. Huey-Ru, "Low-Power, High-Gain V-Band CMOS Low Noise Amplifier for Microwave Radiometer Applications," *Microwave and Wireless Components Letters, IEEE*, vol. 21, pp. 104-106.

[ITU, 90]

"Attenuation by atmospheric gases," CCIR Doc. Rep. 719-3, ITU, 1990.

[Issa, 08]

H. Issa, J. M. Duchamp, and P. Ferrari, "Miniaturized DBR filter: Formulation and performances improvement," in *Microwave Symposium Digest, 2008 IEEE MTT-S International*, 2008, pp. 671-674.

[Janssen, 10]

E. Janssen, R. Mahmoudi, E. van der Heijden, P. Sakian, A. de Graauw, R. Pijper, and A. van Roermund, "Fully balanced 60 GHz LNA with 37 % bandwidth, 3.8 dB NF, 10 dB gain and constant group delay over 6 GHz bandwidth," in *Silicon Monolithic Integrated Circuits in RF Systems (SiRF), 2010 Topical Meeting on*, pp. 124-127.

[Jen, 09]

J. Yung-Nien, T. Jeng-Han, H. Tian-Wei, and W. Huei, "Design and Analysis of a 55-71 GHz Compact and Broadband Distributed Active Transformer Power Amplifier in 90-nm CMOS Process," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 57, pp. 1637-1646, 2009.

[Jiang, 00]

J. Hongrui, W. Ye, J. L. A. Yeh, and N. C. Tien, "On-chip spiral inductors suspended over deep copper-lined cavities," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 48, pp. 2415-2423, 2000.

[Jin, 07]

Y. Jin and C. Nguyen, "Ultra-Compact High-Linearity High-Power Fully Integrated DC-20-GHz 0.18- μ m CMOS T/R Switch," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 55, pp. 30-36, 2007.

[Jin, 08]

J. Yanyu, M. A. T. Sanduleanu, and J. R. Long, "A Wideband Millimeter-Wave Power Amplifier With 20 dB Linear Power Gain and +8 dBm Maximum Saturated Output Power," *Solid-State Circuits, IEEE Journal of*, vol. 43, pp. 1553-1562, 2008.

[Kai, 10]

K. Kai, J. Brinkhoff, and L. Fujiang, "A 60 GHz LNA with 18.6 dB gain and 5.7 dB NF in 90nm CMOS," in *Microwave and Millimeter Wave Technology (ICMMT), 2010 International Conference on*, pp. 164-167.

[Kenneth, 98]

K. O, "Estimation methods for quality factors of inductors fabricated in silicon integrated circuit process technologies," *Solid-State Circuits, IEEE Journal of*, vol. 33, pp. 1249-1252, 1998.

[Khanpour, 07]

M. Khanpour, S. P. Voinigescu, and M. T. Yang, "A high-gain, low-noise, +6dBm PA in 90nm CMOS for 60-GHz radio," *Ieee Compound Semiconductor Integrated Circuit Symposium - 2007 Ieee Csic Symposium, Technology Digest*, pp. 121-124, 2007.

[Kim, 03]

K. Junghyun, K. Won, K. Sung-Ho, J. Jinho, and K. Youngwoo, "A high-performance 40-85 GHz MMIC SPDT switch using FET-integrated transmission line structure," *Microwave and Wireless Components Letters, IEEE*, vol. 13, pp. 505-507, 2003.

[Kim, 10]

K.-J. Kim, K. H. Ahn, T. H. Lim, H. C. Park, and J.-W. Yu, "A design methodology for the 60 GHz CMOS power amplifier using on-chip transformers," *Microwave and Optical Technology Letters*, vol. 53, pp. 506-509.

[Kim, 10-2]

K. Ki-Jin, K. H. Ahn, T. H. Lim, H. C. Park, and Y. Jong-Won, "A 60 GHz Wideband Phased-Array LNA With Short-Stub Passive Vector Generator," *Microwave and Wireless Components Letters, IEEE*, vol. 20, pp. 628-630.

[Kim, 11]

K. J. Kim, T. Lim, K. H. Ahn, and J. W. Yu, "High gain and high efficiency CMOS power amplifier using multiple design techniques," *Electronics Letters*, vol. 47, pp. 601-602.

[Kim, 11-2]

S. Kim, H. C. Kim, D. H. Kim, S. Jeon, M. Kim, and J. S. Rieh, "58-72 GHz CMOS wideband variable gain low-noise amplifier," *Electronics Letters*, vol. 47, pp. 904-906.

[Kjellberg, 09]

T. Kjellberg, M. Abbasi, M. Ferndahl, A. de Graauw, E. van der Heijden, and H. Zirath, "A Compact Cascode Power Amplifier in 45-nm CMOS for 60-GHz Wireless Systems," in *Compound Semiconductor Integrated Circuit Symposium, 2009. CISC 2009. Annual IEEE*, 2009, pp. 1-4.

[Komijani, 05]

Komijani, A. Natarajan, and A. Hajimiri, "A 24-GHz, +14.5-dBm fully integrated power amplifier in 0.18- μ m CMOS," *Solid-State Circuits, IEEE Journal of*, vol. 40, pp. 1901-1908, 2005.

[Kraemer, 09]

M. Kraemer, D. Dragomirescu, and R. Plana, "A low-power high-gain LNA for the 60 GHz band in a 65 nm CMOS technology," in *Microwave Conference, 2009. APMC 2009. Asia Pacific*, 2009, pp. 1156-1159.

[Kraemer, 10]

M. Kraemer, D. Dragomirescu, and R. Plana, "Accurate electromagnetic simulation and measurement of millimeter-wave inductors in bulk CMOS technology," in *Silicon Monolithic Integrated Circuits in RF Systems (SiRF), 2010 Topical Meeting on*, pp. 61-64.

[Kunze, 09]

J. W. Kunze, C. Weyers, P. Mayr, A. Bilgic, and J. Hausner, "60 GHz compact low noise amplifier in 65 nm CMOS," *Electronics Letters*, vol. 45, pp. 1035-1036, 2009.

[Kuo, 08]

K. Jing-Lin, T. Zuo-Min, L. Kun-You, and W. Huei, "A V-band power amplifier in 0.13- μ m CMOS (invited paper)," in *Microwave Conference, 2008. APMC 2008. Asia-Pacific*, 2008, pp. 1-4.

[Kuo, 08-2]

K. Hsin-Chih, Y. Chu-Yun, Y. Jin-Fu, and C. Huey-Ru, "Design of a 0.13- μ m V-band millimeter-wave CMOS low-noise amplifier and measurement methodology," in *Microwave Conference, 2008. APMC 2008. Asia-Pacific*, 2008, pp. 1-4.

[Kuo, 08-3]

K. Che-Chung, T. Zuo-Min, T. Jeng-Han, and W. Huei, "A 71-76 GHz CMOS variable gain amplifier using current steering technique," in *Radio Frequency Integrated Circuits Symposium, 2008. RFIC 2008. IEEE*, 2008, pp. 609-612.

[Kuo, 09]

K. Jing-Lin, T. Zuo-Min, L. Kun-You, and W. Huei, "A 50 to 70 GHz Power Amplifier Using 90 nm CMOS Technology," *Microwave and Wireless Components Letters, IEEE*, vol. 19, pp. 45-47, 2009.

[Kuo, 11]

K. Chi-Shin, K. Hsin-Chih, C. Huey-Ru, C. Chu-Yu, and H. Tzuen-Hsi, "A high-isolation 60GHz CMOS transmit/receive switch," in *Radio Frequency Integrated Circuits Symposium (RFIC), 2011 IEEE*, pp. 1-4.

[Kurita, 09]

N. Kurita and H. Kondoh, "60GHz and 80GHz wide band power amplifier MMICs in 90nm CMOS technology," in *Radio Frequency Integrated Circuits Symposium, 2009. RFIC 2009. IEEE, 2009*, pp. 39-42.

[Lan, 88]

G. L. Lan, D. L. Dunn, J. C. Chen, C. K. Pao, and D. C. Wang, "A high performance V-band monolithic FET transmit-receive switch," in *Microwave and Millimeter-Wave Monolithic Circuits Symposium, 1988. Digest of Papers., IEEE 1988, 1988*, pp. 99-101.

[Lai, 10]

L. Jie-Wei and A. Valdes-Garcia, "A 1V 17.9dBm 60GHz power amplifier in standard 65nm CMOS," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International*, pp. 424-425.

[Lai, 10-2]

L. Ruei-Bin, K. Jhe-Jia, and W. Huei, "A 60-110 GHz Transmission-Line Integrated SPDT Switch in 90 nm CMOS Technology," *Microwave and Wireless Components Letters, IEEE*, vol. 20, pp. 85-87.

[LaRocca, 08]

T. LaRocca, T. Sai-Wang, H. Daquan, G. Qun, E. Socher, W. Hant, and F. Chang, "Millimeter-wave CMOS digital controlled artificial dielectric differential mode transmission lines for reconfigurable ICs," in *Microwave Symposium Digest, 2008 IEEE MTT-S International*, 2008, pp. 181-184.

[LaRocca, 09]

T. LaRocca, J. Y. C. Liu, and M. C. F. Chang, "60 GHz CMOS Amplifiers Using Transformer-Coupling and Artificial Dielectric Differential Transmission Lines for Compact Design," *Ieee Journal of Solid-State Circuits*, vol. 44, pp. 1425-1435, 2009.

[Lee, 98]

T. H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits," Cambridge University Press, 1998. ISBN: 0521639220.

[Lee, 99]

L. Sang-Gug, G. Hyuk-Yong, and R. Lowther, "Characteristics of interconnect lines with patterned ground shields and its implication for microwave ICs," in *VLSI and CAD, 1999. ICVC '99. 6th International Conference on*, 1999, pp. 444-447.

[Lee, 05]

L. Kwyro, I. Nam, K. Ickjin, J. Gil, H. Kwangseok, S. Park, and S. Bo-Ik, "The impact of semiconductor technology scaling on CMOS RF and digital circuits for wireless application," *Electron Devices, IEEE Transactions on*, vol. 52, pp. 1415-1422, 2005.

[Lee, 09]

F. S. Lee, F. Aryanfar, and C. W. Werner, "First Pass MM-Wave Circuit Design in 65nm Digital CMOS," in *Silicon Monolithic Integrated Circuits in RF Systems, 2009. SiRF '09. IEEE Topical Meeting on*, 2009, pp. 1-4.

[Li, 03]

L. Zhenbiao, Y. Hyun, H. Feng-Jung, and K. K. O, "5.8-GHz CMOS T/R switches with high and low substrate resistances in a 0.18- μ m CMOS process," *Microwave and Wireless Components Letters, IEEE*, vol. 13, pp. 1-3, 2003.

[Li, 05]

L. Zhenbiao and K. K. O, "15-GHz fully integrated nMOS switches in a 0.13- μ m CMOS process," *Solid-State Circuits, IEEE Journal of*, vol. 40, pp. 2323-2328, 2005.

[Li, 07]

L. Qiang and Y. P. Zhang, "CMOS T/R Switch Design: Towards Ultra-Wideband and Higher Frequency," *Solid-State Circuits, IEEE Journal of*, vol. 42, pp. 563-570, 2007.

[Li, 08]

L. Ning, K. Okada, T. Suzuki, T. Hirose, and A. Matsuzawa, "A three-stage 60GHz CMOS LNA using dual noise-matching technique for 5dB NF," in *Microwave Conference, 2008. APMC 2008. Asia-Pacific*, 2008, pp. 1-4.

[Li, 10]

L. Ning, K. Bunsen, N. Takayama, B. Qinghong, T. Suzuki, M. Sato, T. Hirose, K. Okada, and A. Matsuzawa, "A 24 dB gain 51-68 GHz CMOS low noise amplifier using asymmetric-layout transistors," in *ESSCIRC, 2010 Proceedings of the*, pp. 342-345.

[Li, 10-2]

L. Xue Jun and Z. Yue Ping, "Flipping the CMOS Switch," *Microwave Magazine, IEEE*, vol. 11, pp. 86-96.

[Lin, 03]

L. Kun-You, W. Yu-Jiu, N. Dow-Chih, and W. Huei, "Millimeter-wave MMIC single-pole-double-throw passive HEMT switches using impedance-transformation networks," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 51, pp. 1076-1085, 2003.

[Lin, 04]

K. Y. Lin, T. Wen-Hua, C. Ping-Yu, C. Hong-Yeh, W. Huei, and W. Ruey-Beei, "Millimeter-wave MMIC passive HEMT switches using traveling-wave concept," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 52, pp. 1798-1808, 2004.

[Lin, 08]

L. Jau-Jr, T. Kun-Hin, B. Brown, D. Hammock, M. Majerus, M. Tutt, and W. M. Huang, "Wideband PA and LAN for 60-GHz Radio in 90-nm LP CMOS Technology," in *Compound Semiconductor Integrated Circuits Symposium, 2008. CSIC '08. IEEE*, 2008, pp. 1-4.

[Lin, 09]

L. Wei-Heng, T. Jeng-Han, J. Yung-Nien, H. Tian-Wei, and W. Huei, "A 0.7-V 60-GHz low-power LNA with forward body bias technique in 90 nm CMOS process," in *Microwave Conference, 2009. EuMC 2009. European*, 2009, pp. 393-396.

[Lin, 10]

L. Wei-Heng, J. Yung-Nien, T. Jeng-Han, L. Hsin-Chia, and H. Tian-Wei, "V-band fully-integrated CMOS LNA and DAT PA for 60 GHz WPAN applications," in *Microwave Conference (EuMC), 2010 European*, pp. 284-287.

[Lin, 11]

L. Saihua, K. B. Ng, H. Wong, K. M. Luk, S. S. Wong, and A. S. Y. Poon, "A 60GHz digitally controlled RF beamforming array in 65nm CMOS with off-chip antennas," in *Radio Frequency Integrated Circuits Symposium (RFIC), 2011 IEEE*, pp. 1-4.

[Liu, 10]

J. Y. Liu, Q. J. Gu, T. LaRocca, W. Ning-Yi, W. Yi-Cheng, and M. F. Chang, "A 60 GHz high gain transformer-coupled differential power amplifier in 65nm CMOS," in *Microwave Conference Proceedings (APMC), 2010 Asia-Pacific*, pp. 932-935.

[Liu, 11]

J. Y. C. Liu, G. Qun Jane, A. Tang, W. Ning-Yi, and M. C. F. Chang, "A 60 GHz Tunable Output Profile Power Amplifier in 65 nm CMOS," *Microwave and Wireless Components Letters, IEEE*, vol. 21, pp. 377-379.

[Liu, 11-2]

J. Y. C. Liu, A. Tang, W. Ning-Yi, Q. J. Gu, R. Berenguer, H. Hsieh-Hung, W. Po-Yi, J. Chewnpu, and M. C. F. Chang, "A V-band self-healing power amplifier with adaptive feedback bias control in 65 nm CMOS," in *Radio Frequency Integrated Circuits Symposium (RFIC), 2011 IEEE*, pp. 1-4.

[Lo, 06]

L. Chieh-Min, L. Chin-Shen, and W. Huei, "A Miniature V-band 3-Stage Cascode LNA in 0.13/ μ m CMOS," in *Solid-State Circuits Conference, 2006. ISSCC 2006. Digest of Technical Papers. IEEE International*, 2006, pp. 1254-1263.

[Louis, 22]

H. C. Louis and C. T. Sinclair, "The Effect of High Currents on Disconnecting Switches With Special Reference to the Mechanical Stresses Resulting," *American Institute of Electrical Engineers, Transactions of the*, vol. XLI, pp. 271-287, 1922.

[Madihian, 99]

M. Madihian, L. Desclos, T. Drenski, Y. Kinoshita, H. Fujii, and T. Yamazaki, "CMOS RF ICs for 900 MHz-2.4 GHz band wireless communication networks," in *Radio Frequency Integrated Circuits (RFIC) Symposium, 1999 IEEE*, 1999, pp. 13-16.

[Mangan, 06]

M. Mangan, S. P. Voinigescu, Y. Ming-Ta, and M. Tazlauanu, "De-embedding transmission line measurements for accurate modeling of IC designs," *Electron Devices, IEEE Transactions on*, vol. 53, pp. 235-241, 2006.

[Martineau, 10]

B. Martineau, V. Knopik, A. Siligaris, F. Ganesello, and D. Belot, "A 53-to-68GHz 18dBm power amplifier with an 8-way combiner in standard 65nm CMOS," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International*, pp. 428-429.

[Maruhashi, 08]

K. Maruhashi, M. Tanomura, Y. Hamada, M. Ito, N. Orihashi, and S. Kishimoto, "60-GHz-Band CMOS MMIC Technology for High-Speed Wireless Personal Area Networks," in *Compound Semiconductor Integrated Circuits Symposium, 2008. CSIC '08. IEEE*, 2008, pp. 1-4.

[Mason, 54]

S. Mason, "Power Gain in Feedback Amplifier," *Circuit Theory, Transactions of the IRE Professional Group on*, vol. 1, pp. 20-25, 1954.

[Matsushita, 09]

K. Matsushita, N. Takayama, L. Ning, S. Ito, K. Okada, and A. Matsuzawa, "CMOS device modeling for millimeter-wave power amplifiers," in *Radio-Frequency Integration Technology, 2009. RFIT 2009. IEEE International Symposium on*, 2009, pp. 68-71.

[Min, 08]

M. Byung-Wook and G. M. Rebeiz, "Ka-Band Low-Loss and High-Isolation Switch Design in 0.13- μm CMOS," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 56, pp. 1364-1371, 2008.

[Mitomo, 08]

T. Mitomo, R. Fujimoto, N. Ono, R. Tachibana, H. Hoshino, Y. Yoshihara, Y. Tsutsumi, and I. Seto, "A 60-GHz CMOS Receiver Front-End With Frequency Synthesizer," *Solid-State Circuits, IEEE Journal of*, vol. 43, pp. 1030-1037, 2008.

[Mizutani, 00]

H. Mizutani and Y. Takayama, "DC-110-GHz MMIC traveling-wave switch," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 48, pp. 840-845, 2000.

[Mizutani, 07]

H. Mizutani, N. Iwata, Y. Takayama, and K. Honjo, "Design Considerations for Traveling-Wave Single-Pole Multithrow MMIC Switch Using Fully Distributed FET," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 55, pp. 664-671, 2007.

[Morandini, 10]

Y. Morandini, F. Gianesello, S. Boret, S. Lasserre, D. Gloria, and J. Pekarik, "Evaluation of sub-32nm CMOS technology for Millimeter wave applications," in *Microwave Conference (EuMC), 2010 European*, pp. 417-420.

[Natarajan, 08]

A. Natarajan, S. Nicolson, T. Ming-Da, and B. Floyd, "A 60GHz variable-gain LNA in 65nm CMOS," in *Solid-State Circuits Conference, 2008. A-SSCC '08. IEEE Asian*, 2008, pp. 117-120.

[Natsukari, 09]

Y. Natsukari and M. Fujishima, "36mW 63GHz CMOS differential low-noise amplifier with 14GHz bandwidth," in *VLSI Circuits, 2009 Symposium on*, 2009, pp. 252-253.

[Niknejad, 07]

M. Niknejad, S. Emami, B. Heydari, M. Bohsali, and E. Adabi, "Nanoscale CMOS for mm-Wave Applications," in *Compound Semiconductor Integrated Circuit Symposium, 2007. CSIC 2007. IEEE*, 2007, pp. 1-4.

[Ninomiya, 96]

T. Ninomiya, T. Saito, Y. Ohashi, and H. Yatsuka, "60-GHz transceiver for high-speed wireless LAN system," in *Microwave Symposium Digest, 1996., IEEE MTT-S International*, 1996, pp. 1171-1174 vol.2.

[Nyquist, 28]

H. Nyquist, "Thermal Agitation of Electric Charge in Conductors," *Physical Review*, vol. 32, pp. 110-113, 1928.

[Ohata, 02]

K. Ohata, K. Maruhashi, M. Ito, S. Kishimoto, K. Ikuina, T. Hashiguchi, N. Takahashi, and S. Iwanaga, "Wireless 1.25 Gb/s transceiver module at 60 GHz-band," in *Solid-State Circuits Conference, 2002. Digest of Technical Papers. ISSCC. 2002 IEEE International*, 2002, pp. 298-468 vol.1.

[Okada, 11]

K. Okada, K. Matsushita, K. Bunsen, R. Murakami, A. Musa, T. Sato, H. Asada, N. Takayama, L. Ning, S. Ito, W. Chaivipas, R. Minami, and A. Matsuzawa, "A 60GHz 16QAM/8PSK/QPSK/BPSK direct-conversion transceiver for IEEE 802.15.3c," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2011 IEEE International*, pp. 160-162.

[Orfanidis, 04]

S. J. Orfanidis, "Electromagnetic Waves and Antennas," Prentice Hall, 2004. ISBN: 0130938556.

[Ou, 09]

C. Y. Ou, C. Y. Hsu, H. R. Lin, and H. R. Chuang, "A high-isolation high-linearity 24-GHz CMOS T/R switch in the 0.18- μ m CMOS process," in *Microwave Integrated Circuits Conference, 2009. EuMIC 2009. European*, 2009, pp. 250-253.

[Parlark, 11]

M. Parlak and J. F. Buckwalter, "A 2.5-dB Insertion Loss, DC-60 GHz CMOS SPDT Switch in 45-nm SOI," in *Compound Semiconductor Integrated Circuit Symposium (CSICS), 2011 IEEE*, pp. 1-4.

[Pellerano, 07]

S. Pellerano, Y. Palaskas, and K. Soumyanath, "A 64GHz 6.5 dB NF 15.5 dB gain LNA in 90nm CMOS," in *Solid State Circuits Conference, 2007. ESSCIRC 2007. 33rd European*, 2007, pp. 352-355.

[Pinel, 08]

S. Pinel, S. Sarkar, P. Sen, B. Perumana, D. Yeh, D. Dawn, and J. Laskar, "A 90nm CMOS 60GHz Radio," in *Solid-State Circuits Conference, 2008. ISSCC 2008. Digest of Technical Papers. IEEE International*, 2008, pp. 130-601.

[Pinel, 09]

S. Pinel, P. Sen, S. Sarkar, B. Perumana, D. Dawn, D. Yeh, F. Barale, M. Leung, E. Juntunen, P. Vadivelu, K. Chuang, P. Melet, G. Iyer, and J. Laskar, "60GHz single-chip CMOS digital radios and phased array solutions for gaming and connectivity," *Selected Areas in Communications, IEEE Journal on*, vol. 27, pp. 1347-1357, 2009.

[Poazar, 97]

D. M. Pozar, "Microwave Engineering," Wiley, 2nd ed., 1997. ISBN: 0471170968.

[Quemerais, 10]

T. Quemerais, L. Moquillon, J. M. Fournier, P. Benech, and N. Corrao, "Methodology of design of millimeter wave power amplifiers complying with 125°C electromigration design rules in advanced CMOS technology," in *Wireless and Microwave Technology Conference (WAMICON), 2010 IEEE 11th Annual*, pp. 1-4.

[Quemerais, 10-2]

T. Quemerais, L. Moquillon, S. Pruvost, J. M. Fournier, P. Benech, and N. Corrao, "A CMOS class-A 65nm power amplifier for 60 GHz applications," in *Silicon Monolithic Integrated Circuits in RF Systems (SiRF), 2010 Topical Meeting on*, pp. 120-123.

[Quemerais, 10-3]

T. Quemerais, "Conception et étude de la fiabilité des amplificateurs de puissance fonctionnant aux fréquences millimétriques en technologies CMOS avancées," Thèse de Doctorat, Université de Grenoble, Oct. 2010.

[Quemerais, 10-4]

T. Quemerais, L. Moquillon, J. Fournier, and P. Benech, "A SPDT switch in a standard 45 nm CMOS process for 94 GHz Applications," in *Microwave Conference (EuMC), 2010 European*, pp. 425-428.

[Quemerais, 10-5]

T. Quemerais, L. Moquillon, J. M. Fournier, P. Benech, and N. Corrao, "TFMS Microstrip line modelling and characterization up to 110 GHz on 45 nm node silicon technology: application for CAD," in *Silicon Monolithic Integrated Circuits in RF Systems (SiRF), 2010 Topical Meeting on*, pp. 4-7.

[Raczkowski, 09]

K. Raczkowski, S. Thijs, W. De Raedt, B. Nauwelaers, and P. Wambacq, "50-to-67GHz ESD-protected power amplifiers in digital 45nm LP CMOS," in *Solid-State Circuits Conference - Digest of Technical Papers, 2009. ISSCC 2009. IEEE International*, 2009, pp. 382-383,383a.

[Rashtian, 10]

H. Rashtian, C. Majek, S. Mirabbasi, T. Taris, Y. Deval, and J. Begueret, "On the use of body biasing to control gain, linearity, and noise figure of a mm-wave CMOS LNA," in *NEWCAS Conference (NEWCAS), 2010 8th IEEE International*, pp. 333-336.

[Razavi, 97]

B. Razavi, "RF Microelectronics," Prentice Hall, 1st ed., 1997. ISBN: 0138875715.

[Razavi, 00]

B. Razavi, "Design of Analog CMOS Integrated Circuits," McGraw-Hill, 1st ed., 2000. ISBN: 0072380322.

[Razavi, 06]

B. Razavi, "A 60-GHz CMOS receiver front-end," *Solid-State Circuits, IEEE Journal of*, vol. 41, pp. 17-22, 2006.

[Rebeiz, 01]

G. M. Rebeiz and J. B. Muldavin, "RF MEMS switches and switch circuits," *Microwave Magazine, IEEE*, vol. 2, pp. 59-71, 2001.

[Reynolds, 06]

S. K. Reynolds, B. A. Floyd, U. R. Pfeiffer, T. Beukema, J. Grzyb, C. Haymes, B. Gaucher, and M. Soyuer, "A Silicon 60-GHz Receiver and Transmitter Chipset for Broadband Communications," *Solid-State Circuits, IEEE Journal of*, vol. 41, pp. 2820-2831, 2006.

[Sandstrom, 08]

D. Sandstrom, M. Varonen, M. Karkkainen, and K. Halonen, "60 GHz Amplifier Employing Slow-wave Transmission Lines in 65-nm CMOS," in *NORCHIP, 2008.*, 2008, pp. 21-24.

[Sandstrom, 09]

D. Sandstrom, M. Varonen, M. Karkkainen, and K. Halonen, "W-band CMOS amplifiers achieving +10dBm saturated output power and 7.5dB NF," in *Solid-State Circuits Conference - Digest of Technical Papers, 2009. ISSCC 2009. IEEE International*, 2009, pp. 486-487,487a.

[Sanduleanu, 06]

M. A. T. Sanduleanu, Z. Gang, and J. R. Long, "31-34GHz low noise amplifier with on-chip microstrip lines and inter-stage matching in 90-nm baseline CMOS," in *Radio Frequency Integrated Circuits (RFIC) Symposium, 2006 IEEE*, 2006, p. 4 pp.

[Sayag, 08]

Sayag, S. Levin, D. Regev, D. Zfira, S. Shapira, D. Goren, and D. Ritter, "A 25 GHz 3.3 dB NF low noise amplifier based upon slow wave transmission lines and the 0.18 μ m CMOS technology," in *Radio Frequency Integrated Circuits Symposium, 2008. RFIC 2008. IEEE*, 2008, pp. 373-376.

[Schindler, 87]

M. J. Schindler and A. Morris, "DC-40 GHz and 20-40 GHz MMIC SPDT Switches," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 35, pp. 1486-1493, 1987.

[Seller, 08]

N.Seller, "Contribution à l'étude, au développement et à la réalisation d'oscillateurs à contrôle numérique en technologie silicium avancée," Thèse de Doctorat, Université de Bordeaux, N° d'ordre 3648, Dec. 2008.

[Severino, 07]

R. R. Severino, T. Taris, Y. Deval, and J. B. Begueret, "A transformer-based 60GHz CMOS LNA for low voltage applications," in *Radio-Frequency Integration Technology, 2007. RFIT 007. IEEE International Workshop on*, 2007, pp. 62-65.

[Shi, 09]

S. Jinglin, K. Kai, X. Yong Zhong, and L. Fujiang, "Investigation of CMOS on-chip transmission lines CPW, SCPW and CPWG up to 110GHz," in *Radio-Frequency Integration Technology, 2009. RFIT 2009. IEEE International Symposium on*, 2009, pp. 269-272.

[Shi, 10]

S. Jinglin, K. Kai, X. Yong Zhong, J. Brinkhoff, L. Fujiang, and Y. Xiao-Jun, "Millimeter-Wave Passives in 45-nm Digital CMOS," *Electron Device Letters, IEEE*, vol. 31, pp. 1080-1082.

[Shimura, 01]

T. Shimura, Y. Mimino, K. Nakamura, Y. Aoki, and S. Kuroda, "High isolation V-band SPDT switch MMIC for high power use [HEMTs application]," in *Microwave Symposium Digest, 2001 IEEE MTT-S International*, 2001, pp. 245-248 vol.1.

[Shin, 11]

S. Shih-Chieh, D. Dawn, D. Yeh, and J. Laskar, "A model inaccuracy aware design methodology of millimeter-wave CMOS tuned amplifiers," in *Wireless and Microwave Technology Conference (WAMICON), 2011 IEEE 12th Annual*, pp. 1-6.

[Siligaris, 07]

Siligaris, C. Mounet, B. Reig, and P. Vincent, "CPW and discontinuities modeling for circuit design up to 110 GHz in SOI CMOS technology," in *Radio Frequency Integrated Circuits (RFIC) Symposium, 2007 IEEE*, 2007, pp. 295-298.

[Siligaris, 08]

Siligaris, C. Mounet, B. Reig, P. Vincent, and A. Michel, "CMOS SOI technology for WPAN. Application to 60 GHz LNA," in *Integrated Circuit Design and Technology and Tutorial, 2008. ICICDT 2008. IEEE International Conference on*, 2008, pp. 17-20.

[Siligaris, 10]

Siligaris, Y. Hamada, C. Mounet, C. Raynaud, B. Martineau, N. Deparis, N. Rolland, M. Fukaishi, and P. Vincent, "A 60 GHz Power Amplifier With 14.5 dBm Saturation Power and 25% Peak PAE in CMOS 65 nm SOI," *Solid-State Circuits, IEEE Journal of*, vol. 45, pp. 1286-1294.

[Siligaris, 11]

A. Siligaris, O. Richard, B. Martineau, C. Mounet, F. Chaix, R. Ferragut, C. Dehos, J. Lanteri, L. Dussopt, S. D. Yamamoto, R. Pilard, P. Busson, A. Cathelin, D. Belot, and P. Vincent, "A 65nm

CMOS fully integrated transceiver module for 60GHz wireless HD applications," in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2011 IEEE International*, pp. 162-164.

[Suzuki, 08]

T. Suzuki, Y. Kawano, M. Sato, T. Hirose, and K. Joshin, "60 and 77GHz Power Amplifiers in Standard 90nm CMOS," in *Solid-State Circuits Conference, 2008. ISSCC 2008. Digest of Technical Papers. IEEE International*, 2008, pp. 562-636.

[Ta, 07]

C. M. Ta, E. Skafidas, and R. J. Evans, "A 60-GHz CMOS Transmit/Receive Switch," in *Radio Frequency Integrated Circuits (RFIC) Symposium, 2007 IEEE*, 2007, pp. 725-728.

[Takayama, 10]

N. Takayama, K. Matsushita, S. Ito, L. Ning, K. Okada, and A. Matsuzawa, "A 60GHz direct-conversion transmitter in 65nm CMOS technology," in *Design Automation Conference (ASP-DAC), 2010 15th Asia and South Pacific*, pp. 363-364.

[Tang, 11]

X.-L. Tang, E. Pistono, P. Ferrari, and J.-M. Fournier, "Enhanced performance of a 60-GHz power amplifier by using slow-wave transmission lines in 40 nm CMOS technology," *International Journal of Microwave and Wireless Technologies*, vol. 4, pp. 93-100.

[Tang, 12]

T. Xiao-Lan, A. L. Franc, E. Pistono, A. Siligaris, P. Vincent, P. Ferrari, and J. Fournier, "Performance Improvement Versus CPW and Loss Distribution Analysis of Slow-Wave CPW in 65 nm HR-SOI CMOS Technology," *Electron Devices, IEEE Transactions on*, vol. 59, pp. 1279-1285.

[Tanomura, 08]

M. Tanomura, Y. Hamada, S. Kishimoto, M. Ito, N. Orihashi, K. Maruhashi, and H. Shimawaki, "TX and RX Front-Ends for 60GHz Band in 90nm Standard Bulk CMOS," in *Solid-State Circuits Conference, 2008. ISSCC 2008. Digest of Technical Papers. IEEE International*, 2008, pp. 558-635.

[Tinella, 03]

C. Tinella, J. M. Fournier, D. Belot, and V. Knopik, "A high-performance CMOS-SOI antenna switch for the 2.5-5-GHz band," *Solid-State Circuits, IEEE Journal of*, vol. 38, pp. 1279-1283, 2003.

[Tomkins, 09]

Tomkins, R. A. Aroca, T. Yamamoto, S. T. Nicolson, Y. Doi, and S. P. Voinigescu, "A Zero-IF 60 GHz 65 nm CMOS Transceiver With Direct BPSK Modulation Demonstrating up to 6 Gb/s Data Rates Over a 2 m Wireless Link," *Solid-State Circuits, IEEE Journal of*, vol. 44, pp. 2085-2099, 2009.

[Tsai, 06]

T. Zuo-Min, Y. Mei-Chao, C. Hong-Yeh, L. Ming-Fong, K. Y. Lin, L. Chin-Shen, and W. Huei, "FET-integrated CPW and the application in filter synthesis design method on traveling-wave switch above 100 GHz," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 54, pp. 2090-2097, 2006.

[Tsai, 09]

T. Jeng-Han, "A 55-64 GHz Fully-Integrated Sub-Harmonic Wideband Transceiver in 130 nm CMOS Process," *Microwave and Wireless Components Letters, IEEE*, vol. 19, pp. 758-760, 2009.

[Tsukahara, 08]

Y. Tsukahara, H. Amasuga, S. Goto, T. Oku, and T. Ishikawa, "60GHz High Isolation SPDT MMIC switches using shunt pHEMT resonator," in *Microwave Symposium Digest, 2008 IEEE MTT-S International*, 2008, pp. 1541-1544.

[Uzunkol, 10]

M. Uzunkol and G. M. Rebeiz, "A Low-Loss 50-70 GHz SPDT Switch in 90 nm CMOS," *Solid-State Circuits, IEEE Journal of*, vol. 45, pp. 2003-2007.

[Valdes, 08]

Valdes-Garcia, S. Reynolds, and J. O. Plouchart, "60 GHz transmitter circuits in 65nm CMOS," in *Radio Frequency Integrated Circuits Symposium, 2008. RFIC 2008. IEEE*, 2008, pp. 641-644.

[Varonen, 08]

M. Varonen, M. Karkkainen, M. Kantanen, and K. Halonen, "Millimeter-Wave Integrated Circuits in 65-nm CMOS," *Solid-State Circuits, IEEE Journal of*, vol. 43, pp. 1991-2002, 2008.

[Varonen, 09]

M. Varonen, M. Kaltiokallio, V. Saari, O. Viitala, M. Karkkainen, S. Lindfors, J. Ryyanen, and K. A. I. Halonen, "A 60-GHz CMOS receiver with an on-chip ADC," in *Radio Frequency Integrated Circuits Symposium, 2009. RFIC 2009. IEEE*, 2009, pp. 445-448.

[Vecchi, 09]

M. Repossi, W. Eyssa, F. Vecchi, P. Arcioni, and F. Svelto, "Design of Low-Loss Transmission Lines in Scaled CMOS by Accurate Electromagnetic Simulations," *Solid-State Circuits, IEEE Journal of*, vol. 44, pp. 2605-2615, 2009.

[Vecchi, 10]

F. Vecchi, S. Bozzola, M. Pozzoni, D. Guermendi, E. Temporiti, M. Repossi, U. Decanis, A. Mazzanti, and F. Svelto, "A 60GHz receiver with 13GHz bandwidth for Gbit/s wireless links in 65nm CMOS," in *IC Design and Technology (ICICDT), 2010 IEEE International Conference on*, pp. 228-231.

[Vishnipolsky, 10]

A. Vishnipolsky and E. Socher, "A compact power efficient transformer coupled differential W-band CMOS amplifier," in *Electrical and Electronics Engineers in Israel (IEEEI), 2010 IEEE 26th Convention of*, pp. 000869-000872.

[Wadell, 91]

B. C. Wadell, "Transmission Line Design Handbook," Artech House, 1991. ISBN: 0890064369.

[Wang, 10]

W. Chun-Cheng, C. Zhiming, V. Jain, and P. Heydari, "A 80-92-GHz Receiver Front-End Using Slow-Wave Transmission Lines in 65nm CMOS," in *Compound Semiconductor Integrated Circuit Symposium (CSICS), 2010 IEEE*, pp. 1-4.

[Wang, 11]

W. Tong, T. Mitomo, N. Ono, and O. Watanabe, "A 55-67GHz power amplifier with 13.6% PAE in 65 nm standard CMOS," in *Radio Frequency Integrated Circuits Symposium (RFIC), 2011 IEEE*, pp. 1-4.

[Wang, 11-2]

W. Cetian, H. Yang, H. Zhang, K. Kai, and T. Zongxi, "A 60GHz LNA with 4.7dB NF and 18dB gain using interstage impedance matching technique in 90nm CMOS," in *Microwave Technology & Computational Electromagnetics (ICMTCE), 2011 IEEE International Conference on*, pp. 270-273.

[Wen, 69]

C. P. Wen, "Coplanar Waveguide: A Surface Strip Transmission Line Suitable for Nonreciprocal Gyromagnetic Device Applications," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 17, pp. 1087-1090, 1969.

[Weyers, 08]

C. Weyers, P. Mayr, J. W. Kunze, and U. Langmann, "A 22.3dB Voltage Gain 6.1dB NF 60GHz LNA in 65nm CMOS with Differential Output," in *Solid-State Circuits Conference, 2008. ISSCC 2008. Digest of Technical Papers. IEEE International*, 2008, pp. 192-606.

[Wicks, 08]

B. Wicks, E. Skafidas, and R. Evans, "A 60-GHz fully-integrated Doherty power amplifier based on 0.13 μm CMOS process," in *Radio Frequency Integrated Circuits Symposium, 2008. RFIC 2008. IEEE*, 2008, pp. 69-72.

[Wicks, 08-2]

B. Wicks, C. M. Ta, E. Skafidas, R. J. Evans, and I. Mareels, "A 60-GHz power amplifier and transmit/receive switch for integrated CMOS wireless transceivers," in *Microwave and Millimeter Wave Technology, 2008. ICMMT 2008. International Conference on*, 2008, pp. 155-158.

[Wilson, 88]

K. Wilson and A. Hing, "An MMIC PIN diode T/R switch," in *Electronically Scanned Antennas, IEE Colloquium on*, 1988, p. pp. 4.

[Woerlee, 01]

P. H. Woerlee, M. J. Knitel, R. van Langevelde, D. B. M. Klaassen, L. F. Tiemeijer, A. J. Scholten, and A. T. A. Zegers-van Duijnhoven, "RF-CMOS performance trends," *Electron Devices, IEEE Transactions on*, vol. 48, pp. 1776-1782, 2001.

[Yang, 09]

Y. Jung Gil and Y. Kyoungsoon, "Broadband InGaAs PIN Traveling-Wave Switch Using a BCB-Based Thin-Film Microstrip Line Structure," *Microwave and Wireless Components Letters, IEEE*, vol. 19, pp. 647-649, 2009.

[Yang, 10]

Y. Dajiang, D. Yuanli, and S. Huang, "A 65-nm High-Frequency Low-Noise CMOS-Based RF SoC Technology," *Electron Devices, IEEE Transactions on*, vol. 57, pp. 328-335.

[Yao, 07]

T. Yao, M. Q. Gordon, K. K. W. Tang, K. H. K. Yau, M. T. Yang, P. Schvan, and S. P. Voinigescu, "Algorithmic design of CMOS LNAs and PAs for 60-GHz radio," *Ieee Journal of Solid-State Circuits*, vol. 42, pp. 1044-1057, 2007.

[Yeh, 05]

Y. Mei-Chao, T. Zuo-Min, L. Kim-You, W. Huei, S. Chia-Yi, and C. Chih-Ping, "A millimeter-wave wideband SPDT switch with traveling-wave concept using 0.13- μm CMOS process," in *Microwave Symposium Digest, 2005 IEEE MTT-S International*, 2005, p. 4 pp.

[Yeh, 05-2]

Y. Mei-Chao, T. Zuo-Min, and W. Huei, "A miniature dc-to-50 GHz CMOS SPDT distributed switch," in *Gallium Arsenide and Other Semiconductor Application Symposium, 2005. EGAAS 2005. European*, 2005, pp. 665-668.

[Yeh, 06]

Y. Mei-Chao, T. Zuo-Min, L. Ren-Chieh, K. Y. Lin, C. Ying-Tang, and W. Huei, "Design and analysis for a miniature CMOS SPDT switch using body-floating technique to improve power performance," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 54, pp. 31-39, 2006.

[Yoshihara, 08]

Y. Yoshihara, R. Fujimoto, N. Ono, T. Mitomo, H. Hoshino, and M. Hamada, "A 60-GHz CMOS Power Amplifier with Marchand Balun-based Parallel Power Combiner," *2008 IEEE Asian Solid-State Circuits Conference*, pp. 121-124, 2008.

[Yu, 10]

Y. Yikun, P. G. M. Baltus, A. de Graauw, E. van der Heijden, C. S. Vaucher, and A. H. M. van Roermund, "A 60 GHz Phase Shifter Integrated With LNA and PA in 65 nm CMOS for Phased Array Systems," *Solid-State Circuits, IEEE Journal of*, vol. 45, pp. 1697-1709.

[Zhang, 06]

Y. P. Zhang, L. Qiang, F. Wei, A. Chew Hoe, and L. He, "A Differential CMOS T/R Switch for Multistandard Applications," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 53, pp. 782-786, 2006

[Zhao, 11]

Z. Yi, J. R. Long, and M. Spirito, "A 60GHz-band 20dBm power amplifier with 20% peak PAE," in *Radio Frequency Integrated Circuits Symposium (RFIC), 2011 IEEE*, pp. 1-4.

[Zhou, 11]

Z. Lei, W. Chun-Cheng, C. Zhiming, and P. Heydari, "A W-band CMOS Receiver Chipset for Millimeter-Wave Radiometer Systems," *Solid-State Circuits, IEEE Journal of*, vol. 46, pp. 378-391.

[Ziel, 62]

A. van der Ziel, "Thermal Noise in Field-Effect Transistors," *Proceedings of the IRE*, vol. 50, pp. 1808-1812, 1962.

[Ziel, 86]

A. V. D. Ziel, "Noise in solide state devices and circuits," Wiley, 1st ed., 1986. ISBN: 0471832340.

[Zito, 07]

D. Zito, D. Pepe, B. Neri, T. Taris, J. B. Begueret, Y. Deval, and D. Belot, "A Novel LNA Topology with Transformer-based Input Integrated Matching and its 60-GHz Millimeter-wave CMOS 65-nm Design," in *Electronics, Circuits and Systems, 2007. ICECS 2007. 14th IEEE International Conference on*, 2007, pp. 1340-1343.

Annexe 1: Différentes notions du gain

Cette annexe regroupe la définition des différents gains couramment rencontrés dans la conception des circuits RF. Leurs expressions sont exprimées à l'aide des paramètres S d'un quadripôle, comme le montre la **Figure. A-1.1**.

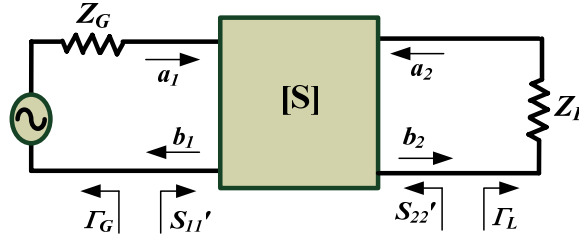


Figure. A-1.1 : présentation d'un quadripôle

Z_G et Z_L sont respectivement l'impédance du générateur et de la charge, Γ_G et Γ_L sont les paramètres de réflexion d'entrée et de sortie, les paramètres S_{11}' et S_{22}' sont définis comme des facteurs de réflexion déterminés par les équations (A-1.1) et (A-1.2).

$$S_{11}' = S_{11} + \frac{S_{12}S_{21}\Gamma_L}{1 - S_{22}\Gamma_L} \quad (\text{A-1.1})$$

$$S_{22}' = S_{22} + \frac{S_{12}S_{21}\Gamma_G}{1 - S_{11}\Gamma_G} \quad (\text{A-1.2})$$

Annexe 1.1 Gain en courant $|h_{21}|$

Le gain en courant $|h_{21}|$ [Gonzalez, 97] permet d'extraire la fréquence de transition f_t d'un transistor MOS. Ce gain en courant est calculé lorsque la sortie du quadripôle est court-circuitée. A partir des paramètres S, nous pouvons exprimer $|h_{21}|$ par l'équation suivante (A-1.3) :

$$|h_{21}| = \left| \frac{-2S_{21}}{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}} \right| \quad (\text{A-1.3})$$

Annexe 1.2 Gain de Mason U

Pour déterminer la fréquence d'oscillation maximale f_{max} d'un transistor il faut tout d'abord définir le gain unilatéral U , appelé ainsi gain de Mason [Mason, 54]. Ce gain traduit le gain en puissance obtenu en adaptant l'entrée et la sortie du transistor dans le cas où le quadripôle représentant le transistor est unilatéralisé. Nous définissons donc ce gain de Mason par l'équation (A-1.4) :

$$|U| = \frac{\left| \frac{S_{21}}{S_{12}} - 1 \right|^2}{2(K \left| \frac{S_{21}}{S_{12}} \right| - \operatorname{Re}\left(\left| \frac{S_{21}}{S_{12}} \right|\right))} \quad (\text{A-1.4})$$

où K est un nombre réel appelé facteur de stabilité ou facteur de Rollet [Gonzalez, 97]. La condition nécessaire et suffisante pour que le quadripôle soit stable est que ce facteur de Rollet doit être supérieur à l'unité sur toute la bande de fréquence. Il est donc caractéristique d'un quadripôle et s'exprime par

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{11}S_{22} - S_{12}S_{21}|^2}{2|S_{12}||S_{21}|} \quad (\text{A-1.5})$$

Annexe 1.3 Gain en puissance transducique G_T

Le gain en puissance transducique [Orfanidis, 04] traduit le transfert de puissance entre l'entrée et la sortie d'un quadripôle. Ce gain est défini comme le rapport de la puissance délivrée à une charge quelconque par la puissance disponible à la source. Même si elle est rarement utilisée cette grandeur permet de définir différents gains présentés par la suite.

$$G_T = \frac{(1 - |\Gamma_G|^2) |S_{21}|^2 (1 - |\Gamma_L|^2)}{|1 - S_{11}\Gamma_G|^2 |1 - S_{22}\Gamma_L|^2} \quad (\text{A-1.6})$$

Annexe 1.4 Gain en puissance G_p

Le gain en puissance G_p [Orfanidis, 04] est une grandeur importante pour caractériser la performance des amplificateurs de puissance. Il est défini comme le rapport entre la puissance de sortie et la puissance en entrée lorsque l'entrée du quadripôle est adaptée (adaptation conjuguée à l'impédance d'entrée). Il est donné par l'équation (A-1.7) calculé à partir en imposant $\Gamma_G = S_{11}^*$ dans l'équation (A-1.6) du G_T :

$$G_p = \frac{|S_{21}|^2 (1 - |\Gamma_L|^2)}{(1 - |S_{11}|^2) |1 - S_{22}\Gamma_L|^2} \quad (\text{A-1.7})$$

Il faut noter que ce gain ne dépend que de Γ_L . Lorsque la sortie du quadripôle est également adaptée ($\Gamma_L = S_{22}^*$), le gain en puissance atteint la valeur maximale et il s'exprime de nouveau comme dans l'équation (A-1.8) :

$$G_{p_{\max}} = \frac{|S_{21}|^2}{(1 - |S_{11}|^2)} \quad (\text{A-1.8})$$

Annexe 1.5 Gain disponible G_a

Le gain disponible G_a [Orfanidis, 04] correspond au gain en puissance G_T lorsque le quadripôle est adapté en sortie ($\Gamma_L = S_{22}^*$), il est défini par l'équation (A-1.9) :

$$G_a = \frac{|S_{21}|^2 (1 - |\Gamma_G|^2)}{(1 - |S_{22}|^2) |1 - S_{11}\Gamma_G|^2} \quad (\text{A-1.9})$$

Dans un cas particulier lorsque l'entrée est aussi adaptée, le gain disponible est maximisé et il s'écrit comme l'équation suivante :

$$G_{a_max} = \frac{|S_{21}|^2}{(1 - |S_{11}|^2)} \quad (\text{A-1.10})$$

Notons que $G_{a_max} = G_{p_max}$ lorsque l'entrée et la sortie du quadripôle présentent en même temps une adaptation conjuguée.

Annexe 1.6 Gain disponible maximum MAG

Le gain disponible maximum [Orfanidis, 04] est défini pour le facteur de Rollet $K \geq 1$ dans le cas où il y a simultanément un transfert de puissance optimal du générateur à l'entrée du quadripôle et de la sortie à la charge.

$$MAG = \left| \frac{S_{21}}{S_{12}} \right| (K - \sqrt{K^2 - 1}) \quad (\text{A-1.11})$$

Annexe 1.7 Gain stable maximum MSG

Lorsque le facteur de stabilité est inférieur à l'unité, il faut utiliser la notion du gain stable maximum. Ce gain est obtenu en imposant $K=1$ dans l'équation (A-1.11) qui s'écrit alors [Orfanidis, 04]:

$$MSG = \left| \frac{S_{21}}{S_{12}} \right| \quad (\text{A-1.12})$$

Bibliographies

[\[Mason, 54\]](#)

S. Mason, "Power Gain in Feedback Amplifier," *Circuit Theory, Transactions of the IRE Professional Group on*, vol. 1, pp. 20-25, 1954.

[\[Orfanidis, 04\]](#)

S. J. Orfanidis, "Electromagnetic Waves and Antennas," Prentice Hall, 2004. ISBN: 0130938556.

[\[Gonzalez, 97\]](#)

G. Gonzalez, "Microwave transistor amplifiers: analysis and design," Prentice Hall, 2nd ed., 1997. ISBN: 0132543354.

Annexe 2: Formulations $f_t(L_g)$, $f_{max}(L_g)$, $NF_{min}(L_g)$ et $MAG(L_g)$

Cette annexe est consacrée à l'établissement de relations mettant en évidence l'impact de l'évolution des nœuds technologiques sur les trois paramètres essentiels des transistors MOS : la fréquence de transition f_t , la fréquence d'oscillation maximum f_{max} et le facteur de bruit minimum NF_{min} . Pour cela, la mise en relation simplifiée de ces trois grandeurs avec la longueur de la grille L_g du transistor est proposée.

Annexe 2.1 : Fréquence de transition $f_t(L_g)$

La fréquence de transition caractérise la performance intrinsèque des transistors, elle est donc déterminée par des paramètres intrinsèques. Il faut en pratique mesurer le gain en courant des actifs dont la sortie est court-circuitée.

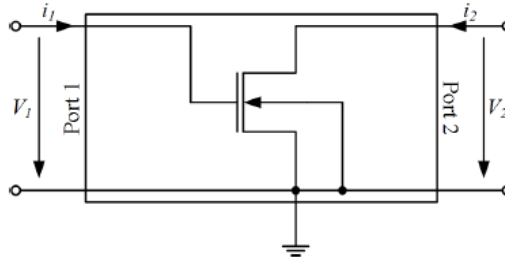


Figure A-2.1 : Schéma de présentation d'un quadripôle avec les notions des courants et de tensions

A l'aide du schéma sur la **Figure. A-2.1**, le gain en courant h_{21} est déterminé par l'équation (A-2.1) ou encore (A-2.2). Par rapport au schéma équivalent des transistors en petit signal présenté dans le Chapitre I [Doan, 05], il faut noter que les phénomènes non quasi-statique dans le canal (r_{nqs}) et l'impact du substrat bulk (g_{mb} et les réseaux de résistance) sont négligés dans les calculs par souci de simplification.

$$h_{21} = \frac{I_2}{I_1} \bigg|_{V_2=0} = \frac{Y_{21}}{Y_{11}} \approx \frac{g_m - j\omega C_{gd}}{j\omega C_{gg}} \quad (\text{A-2.1})$$

$$|h_{21}|^2 = \frac{g_m^2 + \omega^2 C_{gd}^2}{\omega^2 C_{gg}^2} \quad (\text{A-2.2})$$

où g_m , ω , C_{gd} et C_{gg} représentent respectivement la transconductance, la pulsation, la capacité de recouvrement entre la grille et le drain et la capacité totale de grille du transistor MOS. La capacité C_{gg} (A-2.3) est constituée d'une part de la capacité C_{gd} et d'autre part de la capacité C_{gs} entre la grille et la source de transistor, leurs valeurs étant calculées par les formules (A-2.4) et (A-2.5).

$$C_{gg} = C_{gd} + C_{gs} \quad (\text{A-2.3})$$

$$C_{gd} = C_{ox} W \Delta L_g \quad (\text{A-2.4})$$

$$C_{gs} = \frac{2}{3}C_{ox}WL_g + C_{ox}W\Delta L_g \quad (\text{A-2.5})$$

avec W la largeur de la grille des transistors, C_{ox} la capacité surfacique et ΔL_g la longueur de recouvrement.

Lorsque le gain en courant est égal à l'unité, la fréquence de coupure correspond à la fréquence de transition qui s'exprime en fonction de g_m et des capacités [Boots, 04]:

$$f_t = \frac{g_m}{2\pi\sqrt{C_{gg}^2 - C_{gd}^2}} = \frac{g_m}{2\pi C_{gs}\sqrt{1 + 2\frac{C_{gd}}{C_{gs}}}} \quad (\text{A-2.6})$$

ΔL_g étant largement inférieur à L_g , nous pouvons donc négliger la capacité C_{gd} devant C_{gs} (cf. A-2.4 et A-2.5), la fréquence de transition est simplifiée dans l'équation (A-2.7) et la capacité C_{gs} est approximativement simplifiée par (A-2.8).

$$f_t \approx \frac{g_m}{2\pi C_{gs}} \quad (\text{A-2.7})$$

$$C_{gs} \approx C_{ox}WL_g \quad (\text{A-2.8})$$

La transconductance g_m d'un transistor s'exprime par :

$$g_m = \frac{\partial I_d}{\partial V_g} = \frac{\mu C_{ox}W}{L_g}(V_g - V_{th}) \quad (\text{A-2.9})$$

avec V_g la tension de polarisation sur la grille, V_{th} la tension de seuil du transistor et μ la mobilité des porteurs de charge.

A partir des équations (A-2.7), (A-2.8) et (A-2.9), nous obtenons la relation de f_t en fonction de L_g :

$$f_t \approx \frac{g_m}{2\pi C_{gs}} = \frac{\mu}{2\pi L_g^2}(V_g - V_{th}) \quad (\text{A-2.10})$$

Nous pouvons en déduire que la fréquence transition des transistors MOS f_t évolue en L_g^{-2}

$$f_t \propto 1/L_g^2 \quad (\text{A-2.11})$$

Cependant, cette relation n'est valable que pour les transistors disposant d'une large longueur de grille. Dans le cas des canaux courts (valeurs de L_g faibles), il a été démontré que la transconductance évolue plus lentement en fonction de la longueur à cause de la présence de la tension de saturation V_{sat} (A-2.12).

$$g_m \approx C_{ox} V_{sat} W \quad (\text{A-2.12})$$

Prenons en compte cette propriété des canaux courts, la fréquence de transition s'écrit alors [Tsividis, 99] :

$$f_t \approx \frac{g_m}{2\pi C_{gs}} = \frac{C_{ox} V_{sat} W}{2\pi C_{ox} W L_g} = \frac{V_{sat}}{2\pi L_g} \quad (\text{A-2.13})$$

Cette équation montre que la fréquence évolue d'une façon linéaire en fonction de L_g^{-1} lorsque la longueur de la grille évolue vers l'échelle submicronique.

$$f_t \propto 1/L_g \quad (\text{A-2.14})$$

Annexe 2.2 : Fréquence d'oscillation maximum $f_{max}(L_g)$

La fréquence d'oscillation maximum caractérise la performance extrinsèque des transistors MOS afin de prendre en compte les éléments parasites de ces derniers. Afin de simplifier l'analyse, nous ne considérons dans les calculs que les résistances parasites, telles que la résistance d'accès de la grille R_G et la résistance parasite au niveau de la source R_S , ayant une incidence primordiale sur la limitation de la fréquence f_{max} .

Lorsque la résistance d'accès de la source R_S est prise en compte, la fréquence d'oscillation maximum f_{max} peut être estimée par l'équation (A-2.15), où g_{ds} est la conductance dynamique de sortie. Toutefois, la formule la plus couramment citée dans la littérature [Woerlee, 01] [Boots, 04] est présentée à l'équation (A-2.16) puisque R_S est souvent très inférieure à la valeur de R_G . Comme pour le calcul de f_t , nous ne prenons pas en compte les phénomènes non quasi-statiques dans le canal et négligeons la résistance r_{nqs} . La fréquence f_{max} peut alors être exprimée par la relation (A-2.17).

$$f_{max} = \frac{f_t}{2\sqrt{(R_G + r_{nqs} + R_S)(g_{ds} + 2\pi f_t C_{gd})}} \quad (\text{A-2.15})$$

$$f_{max} = \frac{f_t}{2\sqrt{(R_G + r_{nqs})(g_{ds} + 2\pi f_t C_{gd})}} \quad (\text{A-2.16})$$

$$f_{max} \approx \frac{g_m}{4\pi C_{gs} \sqrt{R_G (g_{ds} + g_m \frac{C_{gd}}{C_{gs}})}} = \frac{g_m}{4\pi \sqrt{R_G C_{gs} (g_{ds} C_{gs} + g_m C_{gd})}} \quad (\text{A-2.17})$$

Finalement, sachant que le produit « $g_{ds} C_{gs}$ » est souvent faible devant le terme « $g_m C_{gd}$ », nous établissons une relation simplifiée de f_{max} en fonction de f_t , R_G et C_{gd} . (relation A-2.18). L'intérêt de cette simplification est avant tout de mettre en évidence la dépendance de la fréquence f_{max} à la résistance de grille R_G . Il faut noter que la valeur de R_G peut être améliorée par un repliement optimisé des transistors. Ensuite, du fait que l'impact de la réduction de la longueur de la grille L_g sur les

valeurs de R_G est démontré dans l'article [Cheng, 01], nous avons donc la possibilité d'en déduire la relation (A-2.19).

$$f_{\max} \approx \frac{g_m}{4\pi\sqrt{R_G C_{gs} g_m C_{gd}}} = \frac{1}{4\pi} \sqrt{\frac{\omega_t}{R_G C_{gd}}} \quad (\text{A-2.18})$$

Les auteurs du papier [Cheng, 01] montrent que R_G évolue en W/L_g dans le cas des transistors courts, signifiant que la fréquence f_{\max} évolue ainsi linéairement en L_g à l'aide des équations (A-2.14) et (A-2.18).

$$f_{\max} \propto \sqrt{1/L_g^2} = 1/L_g \quad (\text{A-2.19})$$

Annexe 2.3 : Facteur de bruit minimum $NF_{\min}(L_g)$

Dans l'article [Fukui, 79] les auteurs donnent une expression du facteur de bruit minimum pour les transistors MESFET sur GaAs par l'équation (A-2.20) ou encore par l'équation (A-2.21) lorsque la résistance r_{nqs} est prise en compte, avec K_f une constante liée à la technologie.

$$F_{\min} = 1 + K_f \frac{f}{f_t} \sqrt{g_m (R_G + R_S)} \quad (\text{A-2.20})$$

$$F_{\min} = 1 + K_f \frac{f}{f_t} \sqrt{g_m (R_G + R_S + r_{nqs})} \quad (\text{A-2.21})$$

Afin de simplifier les formules nous allons négliger les résistances R_S et r_{nqs} de l'équation (A-2.21) et remplacer f_t par l'équation (A-2.7). La formule simplifiée est:

$$F_{\min} \approx 1 + K_f \omega C_{gs} \sqrt{\frac{R_G}{g_m}} \quad (\text{A-2.22})$$

Nous constatons que le facteur de bruit minimum est proportionnel à la fréquence. Nous avons mis en évidence ce phénomène dans le Chapitre I. Ensuite, similairement à la fréquence f_{\max} , la performance en bruit des actifs est sensible à la valeur de la résistance R_G , elle se dégrade avec les valeurs importantes de R_G . En conclusion, R_G doit être minimisée afin de favoriser la performance en bruit et la fréquence d'oscillation maximum.

Pour les transistors à faible longueur de grille, C_{gs} (cf. A-2.8), g_m et R_G sont inversement proportionnels à L_g [Cheng, 01], le facteur $(F_{\min} - 1)$ est donc proportionnel à L_g via C_{gs} pour une fréquence donnée.

$$(F_{\min} - 1) \propto L_g \quad (\text{A-2.23})$$

Annexe 2.4 : Gain maximum disponible $MAG(L_g)$

Pour calculer le gain maximum disponible d'un transistor, nous utilisons le schéma de la **Figure. A-2.2** où l'adaptation conjuguée est réalisée sur l'entrée et la sortie du transistor.

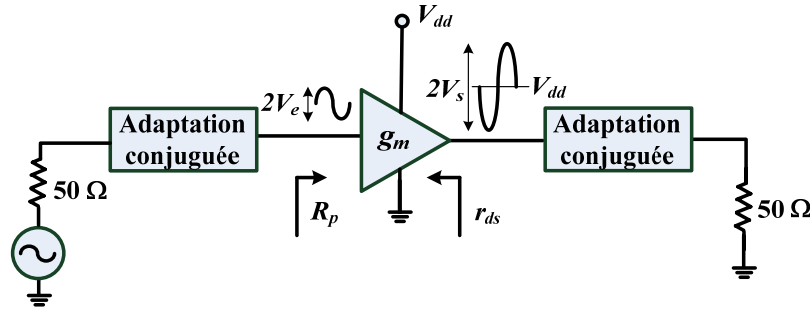


Figure A-2.2 : Schéma de calcul du gain maximum disponible.

Supposons que l'impédance d'entrée du transistor Z_e (voir A-2.24) est composée d'une partie réelle R_e inversement proportionnelle à W et d'une partie imaginaire X_e , qui s'exprime par l'équation (A-2.25) lorsque la capacité équivalente de Miller ramenée par la capacité C_{gd} est négligée.

$$Z_e = R_e + jX_e \quad (\text{A-2.24})$$

$$X_e = \omega C_{gs} \quad (\text{A-2.25})$$

R_p étant la résistance équivalente en parallèle, elle peut être calculée par l'équation :

$$R_p = \frac{1}{\omega^2 C_{gs}^2 R_e} \quad (\text{A-2.26})$$

V_e et V_s étant l'amplitude à l'entrée et à la sortie du transistor, la puissance en entrée P_e et en sortie P_s s'expriment donc par :

$$P_e = \frac{V_e^2}{2R_p} \quad (\text{A-2.27})$$

$$P_s = \frac{V_s^2}{2r_{ds}} = \frac{(g_m r_{ds} V_e)^2}{2r_{ds}} = \frac{g_m^2 r_{ds} V_e^2}{2} \quad (\text{A-2.28})$$

avec r_{ds} la résistance dynamique en sortie du transistor que nous choisissons d'exprimer par la relation simplifiée (A-2.29), avec K_e la constante traduisant l'ensemble des effets liés aux canaux courts (DIBL, modulation de la longueur du canal ...) et I_{ds} le courant de polarisation.

$$r_{ds} = \frac{L_g}{K_e I_{ds}} \quad (\text{A-2.29})$$

Pour une densité de courant $I_{ds}/W = K_0$ fixée, la résistance r_{ds} s'écrit

$$r_{ds} = \frac{L_g}{K_e K_0 W} \quad (\text{A-2.30})$$

A partir de l'équation (A-2.27) et (A-2.28), le gain maximum est donné par :

$$MAG = \frac{P_s}{P_e} = g_m^2 r_{ds} R_p \quad (\text{A-2.31})$$

g_m étant proportionnel à W/L_g (voir A-2.9), à l'aide de l'équation (A-2.8) et (A-2.26), nous pouvons démontrer que :

$$MAG \propto \frac{W^2}{L_g^2} \times \frac{1}{W} \times \frac{L_g}{W} = L_g^{-1} \quad (\text{A-2.32})$$

Pour une densité fixée, le gain maximum disponible d'un transistor est inversement proportionnel à la longueur de la grille, il ne dépend pas de la largeur du transistor.

Bibliographies

[Boots, 04]

H. M. J. Boots, G. Doornbos, and A. Heringa, "Scaling of characteristic frequencies in RF CMOS," *Electron Devices, IEEE Transactions on*, vol. 51, pp. 2102-2108, 2004.

[Cheng, 01]

C. Yuhua and M. Matloubian, "High frequency characterization of gate resistance in RF MOSFETs," *Electron Device Letters, IEEE*, vol. 22, pp. 98-100, 2001.

[Doan, 05]

C. H. Doan, S. Emami, A. M. Niknejad, and R. W. Brodersen, "Millimeter-wave CMOS design," *Solid-State Circuits, IEEE Journal of*, vol. 40, pp. 144-155, 2005.

[Fukui, 79]

H. Fukui, "Optimal noise figure of microwave GaAs MESFET's," *Electron Devices, IEEE Transactions on*, vol. 26, pp. 1032-1037, 1979.

[Tsividis, 98]

Y. Tsividis, "Operation and modeling of the MOS transistor," McGraw-Hill, 1998. ISBN: 0070655235.

[Woerlee, 01]

P. H. Woerlee, M. J. Knitel, R. van Langevelde, D. B. M. Klaassen, L. F. Tiemeijer, A. J. Scholten, and A. T. A. Zegers-van Duijnhoven, "RF-CMOS performance trends," *Electron Devices, IEEE Transactions on*, vol. 48, pp. 1776-1782, 2001.

Annexe 3 : Paramètres caractéristique des amplificateurs

Nous présentons les définitions de différents paramètres permettant de caractériser les performances des amplificateurs.

Annexe 3.1 : Gain en puissance G_p (cf. Annexe-2)

Le gain en puissance d'un amplificateur est défini comme le rapport de la puissance de sortie P_s en Watt sur la puissance d'entrée P_e (W).

$$G_p(W) = \frac{P_s(W)}{P_e(W)} \quad (\text{A-3.1})$$

Annexe 3.2 : Points de compression à 1 dB ICP_{1dB} et OCP_{1dB}

Le point de compression (**Figure. A-3.1**) caractérise la limite du fonctionnement linéaire de l'amplificateur, autrement dit, le phénomène de compression traduit un effet non linéaire dû à la saturation de la puissance de sortie pour de fortes puissances d'entrée. Nous spécifions généralement le point de compression à 1 dB comme étant le point pour lequel la puissance de sortie est de 1 dB inférieure à la puissance théorique idéale. Le point de compression à 1 dB en entrée ICP_{1dB} et en sortie OCP_{1dB} sont indiqués sur la figure.

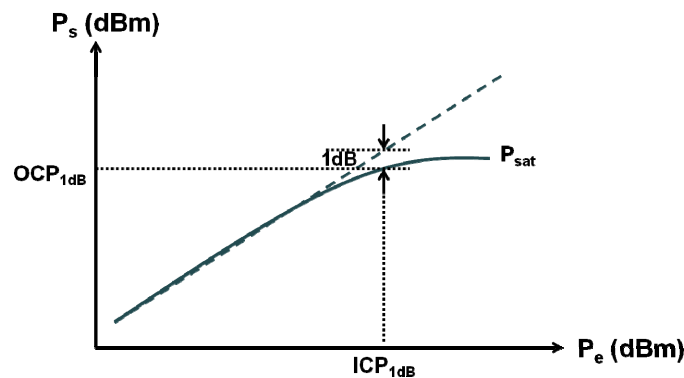


Figure. A-3.1 : Le point de compression des actifs

Le point de compression en sortie d'une chaîne cascadiée à n étages (**Figure. A-3.2**) peut s'écrire à l'aide de l'équation (A-3.2) et (A-3.3) pour 3 étages. Le gain de chaque étage G_i ($i=1,2,\dots,n$) étant souvent important, le point de compression total est déterminé essentiellement par le point de compression du dernière étage [Yao, 07].

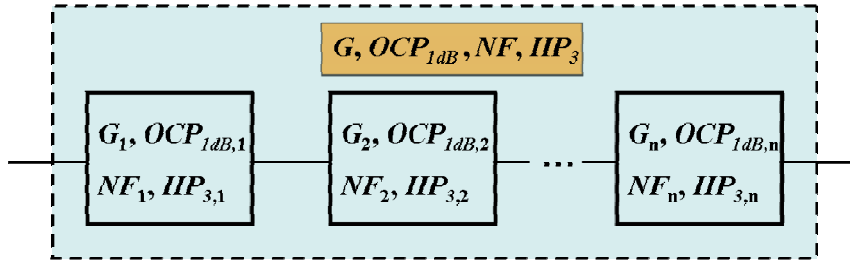


Figure. A-3.2 : Schéma d'une chaîne cascadée à n étages

$$\frac{1}{OCP_{1dB}} = \frac{1}{OCP_{1dB,n}} + \frac{1}{OCP_{1dB,n-1} \times G_n} + \frac{1}{OCP_{1dB,n-2} \times G_n \times G_{n-1}} + \dots \quad (\text{A-3.2})$$

$$\frac{1}{OCP_{1dB}} = \frac{1}{OCP_{1dB,3}} + \frac{1}{OCP_{1dB,2} \times G_3} + \frac{1}{OCP_{1dB,1} \times G_1 \times G_2} \quad (\text{A-3.3})$$

Annexe 3.3 : Puissance de saturation P_{sat}

La puissance de saturation est définie comme étant la puissance maximale en sortie que l'amplificateur est capable de fournir (cf. **Figure. A-3.1**).

Annexe 3.4 : Efficacité en puissance ajoutée PAE

Pour définir l'efficacité en puissance ajoutée, nous devons tout d'abord introduire la notion d'efficacité (ou de rendement) du drain DE (*Drain Efficiency*) [Lee, 98]. Le rendement drain est égal au rapport de la puissance récupérée en sortie à la fréquence de fonctionnement sur la puissance injectée par les générateurs continus, comme le montre par l'équation (A-3.4) où P_s et P_{DC} sont respectivement la puissance de sortie des amplificateurs et la puissance consommée en continu.

$$DE(\%) = \frac{P_s(W)}{P_{DC}(W)} \times 100 \quad (\text{A-3.4})$$

L'efficacité en puissance ajoutée tient compte de la puissance injectée en entrée P_e des amplificateurs, elle s'exprime par [Siligaris, 10].

$$PAE(\%) = \frac{P_s(W) - P_e(W)}{P_{DC}(W)} \times 100 \quad (\text{A-3.5})$$

Annexe 3.5 : Point d'interception d'ordre 3 IIP_3/OIP_3

Le point d'interception du troisième ordre en entrée IIP_3 et en sortie OIP_3 caractérise la linéarité du dispositif. A l'entrée de l'amplificateur, lorsque deux signaux de fréquences voisines f_1 et f_2 , proches de la fréquence de fonctionnement, sont appliqués, l'effet des non-linéarités de l'amplificateur génèrent les harmoniques de f_1, f_2 et toutes les combinaisons linéaires de la forme $[mf_1 +/ -nf_2]$, appelées

produits d'intermodulation d'ordre $[m+n]$. La **Figure. A-3.3** montre schématiquement les spectres d'entrée et de sortie.

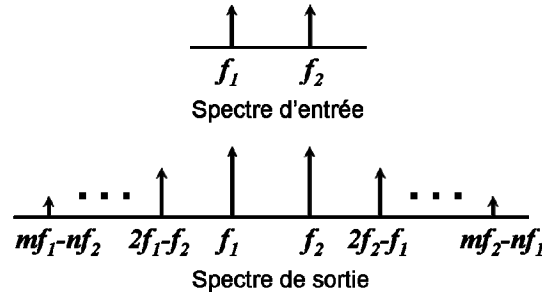


Figure. A-3.3 : La présentation des spectres d'entrée et de sortie pour deux signaux appliqués

Les produits d'intermodulation d'ordre impair peuvent être la cause du brouillage du canal, notamment à l'apparition des produits d'intermodulation du troisième ordre $2f_1-f_2$ et $2f_2-f_1$ qui tombent souvent à proximité de la bande passante. Le point d'intermodulation d'ordre 3 est l'ordonnée du point d'interception des deux droites obtenues en prolongeant les parties linéaires de deux courbes : l'une à l'ordre 1 (fondamentale f_1 et f_2) et l'autre à l'ordre 3 (**Figure. A-3.4**) [Lee, 98].

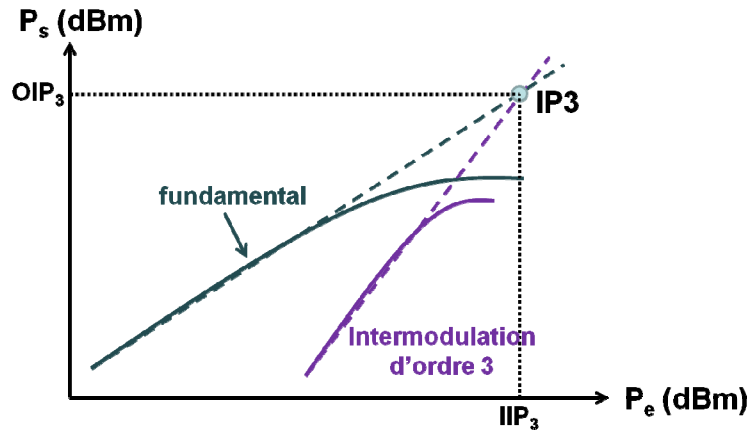


Figure. A-3.4 : Le point d'interception d'ordre 3.

Similairement au point de compression cascadié, le point d'interception du troisième ordre en entrée pour une chaîne cascadiée (cf. **Figure. A-3.2**) peut s'exprimer ainsi en fonction du gain et de l'interception de chaque étage [Dieuleveult, 08]:

$$\frac{1}{IIP_3} = \frac{1}{IIP_{3,1}} + \frac{G_1}{IIP_{3,2}} + \frac{G_1 \times G_2}{IIP_{3,3}} + \dots + \frac{G_1 \times G_2 \times \dots \times G_n}{IIP_{3,n}} \quad (\text{A-3.6})$$

Si le gain de chaque étage de la chaîne est largement supérieur à l'unité, le point d'interception d'ordre 3 du dernière étage $IIP_{3,n}$ est le plus critique.

Annexe 3.6 : Facteur de bruit NF (Noise Figure)

Le facteur de bruit NF d'un amplificateur se définit comme le rapport du signal sur bruit à l'entrée sur le signal sur bruit à la sortie:

$$NF = \frac{(SNR)_e}{(SNR)_s} \quad (\text{A-3.7})$$

Cette grandeur quantifie la dégradation du rapport signal à bruit entre l'entrée et la sortie des amplificateurs et détermine donc sa capacité à traiter des signaux d'entrée de faible puissance provenant des récepteurs. Il traduit également le comportement en température du circuit et est dû essentiellement aux sources de bruit thermique.

Dans le cas d'une chaîne cascadée, le facteur de bruit s'écrit par la formule de Friis (A-3.8). Cette formule n'est valable que dans le cas d'impédances réelles et d'une adaptation en puissance sur toute la chaîne. Cette formule montre que, à l'inverse du point de compression et du point d'interception, le facteur de bruit total de la chaîne cascadée dépend surtout du facteur de bruit du premier étage [Pozar, 97].

$$F = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 \times G_2} + \dots + \frac{F_n - 1}{G_1 \times G_2 \times \dots \times G_{n-1}} \quad (\text{A-3.8})$$

Bibliographies

[Dieuleveult, 08]

F. D. Dieuleveult and O. Romain, "Electronique appliqué aux hautes fréquences – principes et applications," Dunod, 2nd ed., 2008. ISBN: 9782100537488.

[Lee, 98]

T. H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits," Cambridge University Press, 1998. ISBN: 0521639220.

[Pozar, 97]

D. M. Pozar, "Microwave Engineering," Wiley, 2nd ed., 1997. ISBN: 0471170968.

[Siligaris, 10]

Siligaris, Y. Hamada, C. Mounet, C. Raynaud, B. Martineau, N. Deparis, N. Rolland, M. Fukaishi, and P. Vincent, "A 60 GHz Power Amplifier With 14.5 dBm Saturation Power and 25% Peak PAE in CMOS 65 nm SOI," *Solid-State Circuits, IEEE Journal of*, vol. 45, pp. 1286-1294.

[Yao, 07]

T. Yao, M. Q. Gordon, K. K. W. Tang, K. H. K. Yau, M. T. Yang, P. Schvan, and S. P. Voinigescu, "Algorithmic design of CMOS LNAs and PAs for 60-GHz radio," *Ieee Journal of Solid-State Circuits*, vol. 42, pp. 1044-1057, 2007.

Annexe 4: Etat de l'art

Cette annexe a pour objectif de regrouper sur des tableaux récapitulatifs l'état de l'art des circuits RF millimétriques. En premier lieu, l'état de l'art des amplificateurs de puissance fonctionnant autour de 60 GHz en technologies CMOS est montré respectivement sur les **Tableau A-4.2** en ce qui concerne les amplificateurs basés sur les éléments distribués (lignes de propagation) et sur le **Tableau A-4.3**, en ce qui concerne ceux réalisés à l'aide des éléments localisés (inductances spirales et transformateurs). Basé sur le même principe de présentation, nous résumons les performances des amplificateurs à faible bruit à 60 GHz dans les tableaux **Tableau A-4.4** et **Tableau A-4.5**. Enfin, la performance des commutateurs d'antenne SPDT conformes au standard 60 GHz sont récapitulés sur le **Tableau A-4.6**. Pour réduire l'encombrement des tableaux, l'abréviation de certains termes technologiques est appliquée (cf. **Tableau A-4.1**).

Abréviation	Sens technique
Tech.	Technologie
<i>Fréq</i>	Fréquence
nbr_étages	nombre des étages
OCP_{1dB} / ICP_{1dB}	Point de compression en sortie / en entrée
P_{sat}	Puissance de saturation
PAE	Efficacité en puissance ajoutée
V_{dd}	Tension d'alimentation
P_{DC}	Puissance de consommation (DC)
FoM	Facteur de mérite (pour PA)
NF	Facteur de bruit
IIP_3	Point d'interception d'ordre 3 en entrée
BW_{3dB}	Bande passante à 3 dB
$FoM1$	Facteur de mérite FoM_{Long} (pour LNA)
$FoM2$	Facteur de mérite FoM_{ITRS} (pour LNA)
N/A	(<i>Non Available</i>) indisponible
CS	Source Commune
Cas	Cascode
Diff	Différentiel
P-Diff	Pseudo-Différentiel
S-Diff	Sortie en Différentiel
CPW	guide d'onde coplanaire
GMSL	<i>Grounded MicroStrip Line</i>
TL	(<i>Transmission Line</i>) ligne de propagation
CPWG	(<i>CoPlanar Waveguide Grounded</i>) guide d'onde coplanaire avec plan de masse
E-CPW	<i>Elevated CPW</i>
PP	<i>Push-Pull</i>
DAT	(<i>Distributed Active Transformer</i>) Transformateur Actif Distribué

Tableau A-4.1 : Abréviations des termes technologiques

Ainsi, il faut avant tout expliquer certains symboles utilisés dans les tableaux suivants pour faciliter la compréhension :

- Les valeurs étoilées une seule fois (*) sont des valeurs, soit estimées du graphe dans la l'article correspondante, soit calculées à partir des paramètres pré-connus.
- Les valeurs à deux étoiles (**) correspondent aux simulations.
- Selon si les plots de mesure (type DC et RF) sont pris en compte ou pas dans la surface totale, les symboles « + » et «- » sont utilisés.
- Les références en gras et en italique signifient que des combineurs/diviseurs de puissance sont utilisés in-situ alors que celles uniquement en gras utilisent une topologie différentielle nécessitant une configuration de mesure à quatre ports. Pour ces derniers, les résultats sont issus de mesures différentielles.

Amplificateurs de puissance PA basés sur les lignes de propagation													
Référence	Tech. (nm)	f_l/f_{max} (GHz)	Fréq. (GHz)	nbr_étages /Topologie	Gain (dB)	OCP_{1dB} (dBm)	P_{sat} (dBm)	PAE (%)	V_{dd} (V)	P_{DC} (mW)	FoM (W·GHz ²)	Surface (mm ²)	Type de Tlines
[Varonen, 08]	65	N/A	60	3/CS	12.8	1.5	7	N/A	1.2	104	N/A	0.61 ⁺	CPW
[Quemerais, 10]		160/200		2/CS	7.8	9	12	12.2	1.2	54.4	42	0.6 ⁺	TFMS
[Quemerais, 10-2]			4/CS	13.4	12.2	13.8	7.6	1.2	300	134.2	1.28 ⁺		
[Matsushita, 09]		N/A		61.5	20	9.9	13 [*]	6.68	1.2	144	504.1	N/A	GMSL
[Valdes, 08]		230/N/A	62	1/CS	4.5	6	9	8.5	1.2	27.6	7.3	0.27 ⁺	Microruban
[Takayama, 10]		N/A	60	4/CS	10	12.6	N/A	N/A	1	213	N/A	N/A	TL
[Okada, 11]					18.3	9.5	10.9	8.8	1.2	114.6	263.5	N/A	
[Hsieh, 10]		N/A/140			21	6.2	10.3	16	1.2	54	777	0.3 ⁺	TFMS
[Aloui, 11]		N/A	63	2/CS	14	10	12	15	1.2	65	237	0.29 ⁺	CPW
[Aloui, 12]			61	4/CS Diff DAT	20	13.5	15.6	6.6	1.2	N/A	892	2.25 ⁺	
[Siligaris, 10]	65 SOI	150/180	60	2/Cas	15	15.2	16.5	18.2	2.6	169	925.5	0.57 ⁺	Microruban
[Kurita, 09]	160/N/A	3/CS		10	8.8	12.6	6.9	1	213	45.2	0.64 ⁺		
[Pinel, 08]	N/A	1Cas+2CS		17	5.1	8.4	5.8	1.8	54	72.4	N/A		
[Tanomura, 08]		3/CS		14.3	10	11	8.2	1	150	100	0.18 ⁺	CPWG	
[Suzuki, 08]		4/CS		8.3	8.2	10.6	N/A	1.2	228.6	N/A	N/A	Microruban	
[Jin, 08]	107/180	51	3/Cas	19.2	3.1	8.2	4.2	2	150	60	1.13 ⁺	CPW	
[Dawn, 09]	N/A	60	1Cas+2CS	20	8.2	12	9	1.2	146	513.5	0.65 ⁺	Microruban	
[Kuo, 09]	110/N/A		3/Cas	32.4	12	18	15	3	280	59210	0.33 ⁺	TFMS	
[Niknejad, 07]	100/300		2/CS	12	4	N/A	24	1	10.4	N/A	0.48 ⁺	CPW	
[Yoshihara, 08]	N/A	62	4/Diff	11.2	8.3	11.2	3.6	1.2	230*	24	1.09 ⁺	CPWG	
[Bohsali, 09]	100/200	60	2/CS	8.2	10.1	11.6	11.5	1	81	39.5	1.03 ⁺	TL	
			4.2	12.2	14.2	5.8	1	145	14.4				
[Pinel, 09]	N/A		1Cas+3CS	20	8.2	12	9.0	1.2	146	513.5	N/A		
[Kim, 11]			3/CS	30	11.5	13.2	18.3	2	N/A	13764			
[Lin, 08]			1Cas+2CS	9.8	7.5	11.2	5	N/A		22.7	0.6	Microruban	
[Dawn, 08]	61	3/CS	17	5.1	8.4	5.8	54		74.8	0.99 ⁺			
[Law, 10]	60	2/CS	20.6	18	20	14	1.2	N/A	5786	1.67 ⁺	TFMS		
[Lin, 10]	N/A	58	3/Cas	22.4	8.92	14	6.2		3.0	910.4		0.68 ⁺	
[Kuo, 08]	91/108	55		15.5	11.2	14.3	8		3	282		231.1	N/A
[Wicks, 08]	130	N/A/135	60	5/Cas	13.5	7.0	7.8	3	1.6	N/A	14.6	1.8 ⁺	Microruban

Tableau A-4.2 : Etat de l'art des amplificateurs de puissance à 60 GHz basés sur les lignes de propagation en technologies CMOS

Amplificateurs de puissance PA basés sur les transformateurs												
Référence	Tech. (nm)	f_i/f_{max} (GHz)	Fréq. (GHz)	nbr_étages /Topologie	Gain (dB)	OCP_{1dB} (dBm)	P_{sat} (dBm)	PAE (%)	V_{dd} (V)	P_{DC} (mW)	FoM (W·GHz ²)	Surface (mm ²)
[Raczkowski, 09]	45	N/A	60	2/CS	5.6	8.4	10.6	6.5	1.1	77	9.8	0.029 ⁻
[Essing, 11]				2/PP	6	11	13.8	7	1.1	137.5	24.1	0.03 ⁻
[Chan, 10]				1DAT+1Cas/Diff	6	13.2	16.3	8.7	1.8	320.4	53.2	0.057 ⁻
[Boers, 10]	3/CS/ P-Diff	16		5	11.5	15.2	1	50	307.7	0.053 ⁻		
[Lai, 10]	3/Diff	30		6.8	10.6	7.7	1	65	3183	0.053 ⁻		
[Martineau, 10]	N/A	19.2		15.1	17.7	11.1	1.0	460	1957	0.83 ⁻		
[Liu, 10]	65	180/ N/A	60.5	2/Cas	15.5	11.5	18.1	3.6	1.8	1504	190.5	0.462 ⁺
[Liu, 11]			60	3/Cas/Diff	34	7.8	13.17	8.3	1.5	319.5*	15573	0.3 ⁺ (0.05 ⁻)
[Liu, 11-2]		2Cas+1CS/Diff		14.9	10.7	11.3	9.4	1	N/A	141	0.056 ⁻	
[He, 10]		2/Diff		9.4	13.7	14.85	16.2	1		155.2	0.36 ⁺ (0.042 ⁻)	
[Chen, 11]		58		2/Cas/Diff DAT	10.8	11.8	14.8	7.1		2.2	86.7	0.8 ⁺ (0.3 ⁻)
[Bi, 10]		60		3/CS/Diff	20.2	15	18.6	15.1		1	4123	0.28 ⁺
[LaRocca, 09]		N/A		58.5	2/Diff	10.1	5.1	8.5	7.7	1	52	19.1
[Chowdhury, 08]			60	3/Diff	15	N/A	12.5	19.3	1.2	84*	390.7	0.15 ⁻
[Chowdhury, 09]	2/CS/Diff			7.7	9	12.3	8.8	1	44	31.7	0.25 ⁺	
[Jen, 09]	1Cas+2CS/Diff			13.8	N/A	11	14.6	1	N/A	160.3	0.22	
[Brinkhoff, 09]	N/A/142		DAT+3/Cas	26.6	14.5	18	12.2	3		12795	0.64 ⁺	
[Kim, 10]	N/A	58.5	2/CS/Diff	10	5.1	8.5	7.7	1	52	18.7	0.035	
[Zhao, 11]		60	3/CS/Diff	16.2	6.5	9	14	1.2	108	166.9	0.3 ⁺	
	130			3/Diff	20.5	19.9	20.5	19.4	1.8	353	8792	0.72 ⁺ (0.25 ⁻)
Amplificateurs de puissance PA basés sur les éléments localisés (inductances spirales)												
Référence	Tech. (nm)	f_i/f_{max} (GHz)	Fréq. (GHz)	nbr_étages /Topologie	Gain (dB)	OCP_{1dB} (dBm)	P_{sat} (dBm)	PAE (%)	V_{dd} (V)	P_{DC} (mW)	FoM (W·GHz ²)	Surface (mm ²)
[Kjellberg, 09]	45	N/A	60	2/Cas	17	8.7	13.5	13.4	2.1	134.4	514.3	0.018 ⁻
[Abbasi, 10]				2/Cas/Diff	20	11.2	14.5	14.4	2	180	1461	0.039 ⁻
[Cohen, 09]				3/CS	19	N/A	7.9	19.4	1.2	N/A	342	0.034 ⁻
[Aloui, 08]**	65	200/250		2/CS	8	8.92	13	11	0.9	64.8	49.9	0.288 ⁺
[Yu, 10]		N/A		3/P-Diff	15	N/A	11*	N/A	1.2	138	N/A	N/A
[Wang, 11]				4/CS/P-Diff	18		9.6	13.6	1.2	62	281.7	0.32 ⁺
[Khanpour, 07]	90	120/200		2Cas+1CS	12	1.6	6	6	1.5	45	13.6	0.15 ⁺
[Yao, 07]				3/CS	5.2	6.4	9.3	7.4	1.5	39.5	7.5	0.15 ⁺

Tableau A-4.3 : Etat de l'art des amplificateurs de puissance à 60 GHz basés sur les éléments localisés en technologies CMOS

Amplificateurs faible bruit LNA basés sur les lignes de propagation															
Référence	Tech. (nm)	Fréq. (GHz)	nbr_étages /Topologie	Gain (dB)	NF (dB)	ICP _{1dB} (dBm)	IIP ₃ (dBm)	BW _{3dB} (GHz)	V _{dd} (V)	P _{DC} (mW)	FoM ₁	FoM ₂	Surface (mm ²)	Type de Tlines	
[Li, 10]	65	61	4/CS	24	5.8*	N/A	-12.5	17	1.2	30	2.83	10.3	N/A	TL	
[Lin, 11]		59	3/CS	16.2	3.8	-4.85(O)	N/A	8.7	1	8.3	6.06	N/A	0.38	CPW	
[Shin, 11]**		57-64	4/CS	20	5	-21	-13	14	1	26	2.69		N/A	TFMS	
[Kim, 11-2]		64	1CS+2Cas	21.8	4.2	-22.1	N/A	14.5	1.2	36	2.74		0.49	Microruban	
[Siligaris, 11]		60	1CS+3Cas	19	5*	-24		9	1.2	30	1.43		N/A	Microruban	
[Varonen, 09]		60	4/CS	19**	7	N/A		N/A	N/A	N/A	N/A		N/A	CPW	
[Vecchi, 10]			3/Cas	28	5	-21		14					TL		
[Hsieh, 11]				20.6	5.4	-8.4(O)		14.1	1.2	33.6	1.96		1.7 ⁺	E-CPW	
[Huang, 09]		65SOI	58	2/Cas	16	4.5	-4.16(O)	-9.5**	13.6	2	10	6.22	14.2	0.25 ⁺	TFMS
[Siligaris, 08]	60		12		8	-5	N/A	N/A	2.2	36	N/A	N/A	1 ⁺	CPW	
[Pellerano, 07]	64		15.5	6.5	N/A	8		1.65	86	0.26	0.52 ⁺				
[Haroun, 09]	58		1/Cas	10		4.1	3	N/A	1.5	16.5	N/A	44.7	0.2 ⁺	E-CPW	
[Kai, 10]	57		3/CS	18.6	5.7	-14.8	N/A	9	1.2	29	1.23	N/A	0.7 ⁺	Microruban	
[Maruhashi, 08]	62			13	5.7	N/A		N/A	1	27	N/A		0.91 ⁺	TL	
[Tanomura, 08]	60		4/CS	18.7	8.3				N/A	N/A			N/A	N/A	CPWG
[Lin, 09]			3/CS	13	6.3				0.7	4.9			0.351 ⁺	TFMS	
[Heydari, 07]	63		2/CS	12.2	6.5	4(O)			1	10.5			0.48 ⁺	CPW	
[Wang, 11-2]**	60		2CS+1Cas	18	4.7	N/A		1.2	28.3	0.64 ⁺					
[Natsukari, 09]			3/Cas/S-Diff	20	6.8			N/A	14	1.2	36		1.34	N/A	TL à Z _c =0
[Mitomo, 08]			3/Cas/Diff	13.7	7.8*				N/A	1.2	45		N/A	N/A	CPWG
[Lin, 08]			4/CS	13	7	-4		1.2		42	0.6 ⁺			Microruban	
[Pinel, 08]			2/Cas	16	6	1(O)		7	1.8	29	0.77	N/A	TL		
[Pinel, 09]		1CS+2Cas+1CS	16	6.5	-1(O)	9		1.2	28	0.94					
[Huang, 11]	130	53	3/Cas	21	7.6	-25	-16	4.5	1.5	15.1	0.95	2.3	1.06 ⁺	TFMS	
[Lo, 06]		56		24.7	7.1	-22	-12	N/A	2.4	79	N/A	3.2	0.48 ⁺		
[Kuo, 08-2]		50	3/CS	11.7	7.9	-9.5	-1.65	6	1.2	21.6	0.47	4.5	1.06 ⁺		
[Lin, 10]		60	3/Cas	20	6.9	-23	N/A	11	2.4	67.2	0.55	N/A	0.38 ⁺		
[Chiou, 10]			2Cas+1CS	15.8	5.7	1.13(O)	-4.8	8	2.6/1.3	43.3	0.62	6.42	0.42 ⁺		
[Huang, 09-2]			3/Cas	20.4	8.7	-20	-12	7*	2.4	65	0.29	1	0.71 ⁺		
[Chen, 10]			6/CS	12.2	4.9	-15	-4.7	8.5	1.5	29.1	0.91	5.5	1.09 ⁺		
[Fahimnia, 11]		62.5	4/CS	14	6	-18	-8	7	1.5	64.8	0.30	1.3	0.11	TL	
[Doan, 05]		60	3/Cas	12	8.8	2(O)	-0.5**	14	1.5	54	0.4	2.4	1.3 ⁺	CPW	

Tableau A-4.4 : Etat de l'art des amplificateurs à faibles bruits à 60 GHz basés sur les lignes de propagation en technologies CMOS

Amplificateurs faible bruit LNA basés sur les transformateurs													
Référence	Tech. (nm)	Fréq. (GHz)	nbr_étages /Topologie	Gain (dB)	NF (dB)	ICP _{1dB} (dBm)	IIP ₃ (dBm)	BW _{3dB} (GHz)	V _{dd} (V)	P _{DC} (mW)	FoM ₁	FoM ₂	Surface (mm ²)
[Weyers, 08]	65	60	2/Cas/S-Diff	19.3	6.1	2.7(O)	N/A	7.7	1.2	35	0.83	N/A	0.21 ⁺
[Severino, 07]**			2/Cas	12.5	7.3	N/A		1.8	1.2	34	0.11		0.4 ⁺
[Janssen, 10]			2/CS Diff	10	3.8		4	22	1.2	35	2.24	30.8	0.056 ⁻
[Zito, 07]**			2/Cas	10	8.68	-13	N/A	N/A	1.2	18.5	N/A	N/A	N/A
[Kim, 10-2]	90	2/CS	12.5	6.55	-13.3	12		1.2	60	0.45			
Amplificateurs faible bruit LNA basés sur les éléments localisés (inductances spirales)													
Référence	Tech. (nm)	Fréq. (GHz)	nbr_étages /Topologie	Gain (dB)	NF (dB)	ICP _{1dB} (dBm)	IIP ₃ (dBm)	BW _{3dB} (GHz)	V _{dd} (V)	P _{DC} (mW)	FoM ₁	FoM ₂	Surface (mm ²)
[Kraemer, 09]	65	56	2/Cas	22.4	4.5**	-3.4(O)	N/A	N/A	1.5	16.8	N/A	N/A	0.16 ⁺
[Kunze, 09]		57	1CS+2Cas	19.1	5.5	-18		10	1.2	25	1.7		0.048 ⁻
[Rashtian, 10]		60	4/Cas	23.5	6.5	-6.8	1	N/A	1.2	38	N/A	128.4	0.15 ⁺
[Natarajan, 08]			2CS+2Cas	15	5.9	-15.1	N/A		1/1.5	30.8			1.05 ⁺
[Tomkins, 09]			3/Cas/S-Diff	19.2	5.6	-14	12	1.2	N/A	N/A			N/A
[Hsieh, 11]			3/Cas	18	4.5	-5(O)	N/A	12.2	1.2	22.8	2.75		0.54 ⁺
[Yu, 10]		61	2/Cas	8.4	5.5	N/A		10.4	1.5	39	0.5		N/A
[Lee, 09]		60	1/Cas	3	7.74	-6		N/A	1	5.3	N/A		0.021 ⁻
[Cohen, 08]	90	58	3/CS	15	4.4	-18		5*	1.3	4	5.51		0.14 ⁺
[Yao, 07]			2/Cas	14.6	5.5	N/A	-6.8	7*	1.5	24	0.95	5.7	0.14 ⁺

Tableau A-4.5 : Etat de l'art des amplificateurs à faibles bruits à 60 GHz basés sur les éléments localisés en technologies CMOS

Les commutateurs d'antenne SPDT millimétriques								
Référence	Fréq. (GHz)	Tech. (nm)	IL (dB)	Iso (dB)	ICP _{1dB} (dBm)	Topologie	Technique	Surface (mm²)
[Quemerais, 10-4]	60	CMOS 45	5	21	11*	Distribué	<i>Traveling-wave</i>	0.56 ⁺
[Parlak, 11]	DC-60	CMOS 45 SOI	2.5*	22	7.1@45g	Séries-shunt	Adaptation de type CLC	0.04 ⁻
[Uzunkol, 10]	50-70	CMOS 90	1.6	27.5	13.5*	shunt	Résonnance de C _{off} avec stub +R _{sub} élevée	0.275
[Hettak, 11]	DC-70		3.8	22	N/A	Séries-shunt	Substrat flottant	N/A
[Kuo, 11]	57-64		3.5	34*	6.9*		Substrat flottant + annulation des fuites	0.325
[Chao, 07]	50-94		3	30	15@77	distribué	<i>Traveling-wave</i> +Substrat flottant	0.24 ⁺
[Lai, 10-2]	60-110		3	26	10.5@75g		TL intégré : compensation de C _{off}	0.3 ⁺
[Chang, 10]	DC-60		3	48	17		<i>Traveling-wave</i> +Polar. négative du bulk	0.592 ⁺
[Chen, 10-2]	30-92		3.6	35	17		<i>Traveling-wave</i> +Polar. négative du bulk	0.3 ⁺
[Atesal, 09]	50-70		CMOS 130	2.3*	32	13.5	Quasi-distribué	R _{sub} élevée + adaptation de type Π
[Ta, 07]	57-66	5		24	4.1*	Séries-shunt	Réseaux d'adaptation basés sur TL	0.22 ⁻
[Wicks, 08-2]	57-65	4		30	7.2*		Réseaux d'adaptation basés surTL	0.128 ⁻
[Tsai, 09]	60	2**		30**	N/A	distribué	<i>Traveling-wave</i>	1.2
[Yeh, 05]	30-63	4		16	13.8@40		<i>Traveling-wave</i>	0.4
[Lin, 03]	53-61	GaAs pHEMT		4	32	17@44g 19@40g	Shunt	Réseaux de transformation d'impédance (ITN)
[Lin, 04]	15-80 DC-60		2	34	27@35g	distribué	<i>Travelling-wave</i> (quart d'onde)	2.25
			3	25	27.5@35g		<i>Travelling-wave</i> (HEMT en série)	0.75
[Tsai, 06]	15-135		4	38	N/A		<i>Traveling-wave</i>	0.675
[Mizutani, 00]	DC-100	HJFET	1.3	35	26.5@40g		<i>Traveling-wave</i>	0.383
[Mizutani, 07]	38-80	AlGaAs/InGaAs HJFET	2	30	N/A		<i>Traveling-wave</i>	1.52
[Shimura, 01]	50-70	Diodes basés sur HEMT	1.6	34	>10*		Topologie distribuée	3.525
[Tsukahara, 08]	60	pHEMT	1.4*	45*	N/A	TL de résonance en shunt	2.73	
[Lan, 88]	59-61	GaAs FET	1.4	26	26.6	Shunt	Inductance de résonance avec C _{off}	1.96
[Yang, 09]	25-95	InGaAs PIN diodes	1.8*	47*	N/A	distribué	<i>Traveling-wave</i>	0.609
[Kim, 03]	40-85	GaAs pHEMT	0.4*	34*			Distribute à FET intégré	1.45

Tableau A-4.6 : Etat de l'art des commutateurs d'antenne SPDT à 60 GHz sur substrat silicium (CMOS) et GaAs

Apport des lignes à ondes lentes S-CPW aux performances d'un front-end millimétrique en technologie CMOS avancée

Résumé : L'objectif de ce travail est de concevoir et de caractériser un front-end millimétrique utilisant des lignes de propagation à ondes lentes S-CPW optimisées en technologies CMOS avancées. Ces lignes présentant des facteurs de qualité 2 à 3 fois supérieurs à ceux des lignes classiques de type microruban ou CPW.

Dans le premier chapitre, l'impact de l'évolution des nœuds technologiques CMOS sur les performances des transistors MOS aux fréquences millimétriques et sur les lignes de propagation ainsi qu'un état de l'art concernant les performances des front-end sont présentés. Le deuxième chapitre concerne la réalisation des lignes S-CPW dans différentes technologies CMOS et la validation d'un modèle phénoménologique électrique équivalent. Le troisième chapitre est dédié à la conception d'amplificateurs de puissance à 60 GHz utilisant ces lignes S-CPW en technologies CMOS 45 et 65 nm. Cette étude a permis de mettre en évidence l'apport des lignes à ondes lentes aux performances des amplificateurs de puissance fonctionnant dans la gamme des fréquences millimétriques. Une méthode de conception basée sur les règles d'électro-migration et permettant une optimisation des performances a été développée. Finalement, un amplificateur faible bruit et un commutateur d'antenne travaillant à 60 GHz et à base de lignes S-CPW ont été conçus en technologie CMOS 65 nm afin de généraliser l'impact de ce type de lignes sur les performances des front-end millimétriques.

Mots-clés : Ligne à ondes lentes S-CPW, technologies CMOS, amplificateur de puissance, amplificateur à faible bruit, commutateur d'antenne, bande millimétrique, règles d'électro-migration.

Performance enhancement of a millimeter-wave front-end using slow-wave transmission lines in advanced CMOS technologies

Abstract: The objective of this work is to design and characterize a millimeter-wave front-end using the optimized slow-wave transmission lines S-CPW in advanced CMOS technologies. The quality factor of these transmission lines is twice to three times higher than that of the conventional transmission lines such as microstrip lines and coplanar waveguides.

In the first chapter, the influence of CMOS scaling-down on the performance of transistors at millimeter-wave frequencies and on the transmission lines was studied. In addition, a state of the art with regard to the performance of the front-end was presented. The second chapter concerns about the realization of the S-CPW lines in different CMOS technologies and the validation of an electrical equivalent model. The third chapter is dedicated to the design of 60-GHz power amplifiers using these S-CPW lines in CMOS 45 and 65 nm technologies. This study highlighted the performance enhancement of power amplifiers operating at millimeter-wave frequencies by using the slow-wave transmission lines. A design method based on the electro-migration rules was also developed. Finally, a low noise amplifier and an antenna switch operating at 60 GHz were designed in CMOS 65 nm in order to generalize the impact of such transmission lines on the performance of the millimeter-wave front-end.

Key words : Slow-wave transmission line S-CPW, CMOS technologies, power amplifier, low noise amplifier, SPDT switch, millimeter-wave band, electro-migration rules.